

Telvio Martins de Mello

**Uma Biblioteca para Criação de
Máquinas Virtuais Baseadas em
Processadores de Rede**

DISSERTAÇÃO DE MESTRADO

DEPARTAMENTO DE INFORMÁTICA

Programa de Pós-Graduação em Informática

Rio de Janeiro, março de 2005



Telvio Martins de Mello

**Uma Biblioteca para Criação de Máquinas Virtuais
Baseadas em Processadores de Rede**

Dissertação de Mestrado

Dissertação apresentada como requisito parcial para
obtenção do título de Mestre pelo Programa de Pós-
Graduação em Informática da PUC-Rio.

Orientador: Sérgio Colcher

Rio de Janeiro, março de 2005.



Telvio Martins de Mello

Uma Biblioteca para Criação de Máquinas Virtuais Baseadas em Processadores de Rede

Dissertação apresentada como requisito parcial para obtenção do título de Mestre pelo Programa de Pós-Graduação em Informática da PUC-Rio. Aprovada pela Comissão Examinadora abaixo assinada.

Sérgio Colcher

Orientador

Departamento de Informática - Puc-RIO

Luiz Fernando Gomes Soares

Departamento de Informática - Puc-RIO

Noemi de La Rocque Rodriguez

Departamento de Informática - Puc-RIO

José Eugenio Leal

Coordenador (a) Setorial do Centro Técnico Científico - PUC-Rio

Rio de Janeiro, 28 de março de 2005.

Todos os direitos reservados. É proibida a reprodução total ou parcial do trabalho sem autorização da universidade, do autor e do orientador.

Telvio Martins de Mello

Graduado em Informática pela PUCRS em 1994. Especialista (Pós-Graduação Lato-Sensu) em Gerência de Redes de Computadores e Tecnologia Internet (MOT/CN) pelo Núcleo de Computação Eletrônica (NCE) da Universidade Federal do Rio de Janeiro (UFRJ) em 2000. Oficial de Carreira do Quadro Complementar de Oficiais do Exército (QCO) na área de Informática, atua na Gerência de Redes do Ministério da Defesa – Exército Brasileiro, desde 1998, no âmbito do Comando Militar do Leste (CML), no Rio de Janeiro, RJ.

Ficha Catalográfica

Mello, Telvio Martins de

Uma biblioteca para criação de máquinas virtuais baseadas em processadores de rede / Telvio Martins de Mello ; orientador: Sérgio Colcher. – Rio de Janeiro : PUC-Rio, Departamento de Informática, 2004.

104 f. : il. ; 30 cm

Dissertação (mestrado) – Pontifícia Universidade Católica do Rio de Janeiro, Departamento de Informática .

Inclui bibliografia

1. Informática – Teses. 2. Processadores de rede. 3. Máquinas virtuais. I. Colcher, Sérgio. II. Pontifícia Universidade Católica do Rio de Janeiro. Departamento de Informática . III. Título.

CDD: 004

A minha amada Rosana, por sua incansável dedicação, apoio e
companheirismo ao longo de todo o trabalho.

Agradecimentos

A Deus, por ter passado por mais esta etapa da minha vida.

Aos meus pais, pelo apoio e por tudo que fizeram por mim.

Ao Professor Sérgio Colcher pela sua paciência, apoio e boa vontade em ensinar, sempre contribuindo com suas valiosas informações.

A todos os amigos do Departamento de Informática da PUC-Rio.

Aos professores que participaram da Comissão Examinadora.

A todos os professores do Departamento pelos seus ensinamentos.

Aos amigos do Laboratório de Telemídia pela sua ajuda.

Aos funcionários da Secretaria do Departamento sempre prontos a ajudar.

Aos colegas de trabalho que sempre me apoiaram na minha ausência no ambiente de trabalho.

A Chefia do 2º Centro de Telemática de Área pela sua compreensão permitindo, ao longo desses três anos, que este Mestrado se realizasse.

A todos os amigos e familiares que de alguma forma me ajudaram e incentivaram.

Resumo

Mello, Telvio Martins de. **Uma Biblioteca para Criação de Máquinas Virtuais Baseadas em Processadores de Rede**. Rio de Janeiro, 2005. 104 p. Dissertação de Mestrado - Departamento de Informática, Pontifícia Universidade Católica do Rio de Janeiro.

O objetivo deste trabalho é estudar, propor e implementar uma ferramenta que permita a experimentação com arquiteturas que sigam o paradigma de Processadores de Rede - Network Processors (NP). Com esse intuito, foi implementada uma biblioteca de objetos genéricos que permite emular os diversos componentes de hardware (tais como memórias, registradores, unidades de controle, unidades lógico-aritméticas, etc.) presentes em arquiteturas específicas para o processamento de protocolos. A conjunção desses componentes permite gerar máquinas virtuais que podem ser exercitadas para testar ou verificar o funcionamento das mais diversas operações nesses ambientes. Além da biblioteca, são apresentados três estudos de casos distintos: o primeiro mostrando um processador criado para teste e os outros dois implementam arquiteturas baseadas no processador MCS85 e no núcleo ARM do Processador IXP, todos com o intuito de validar e mostrar a utilidade prática da ferramenta.

Palavras-chave

Processadores de Rede; Máquinas Virtuais.

Abstract

Mello, Telvio Martins de. **A Library for the Creation of Network-Processors-Based Virtual Machines**. Rio de Janeiro, 2005. 104 p. Master Thesis - Departamento de Informática, Pontifícia Universidade Católica do Rio de Janeiro.

The aim of this work is to study, propose and implement a tool that allows the experimentation with architectures that follow the Network Processors (NP) paradigm. A generic object library was implemented, allowing the emulation of the various hardware components, such as memories, registers, arithmetic-and-logical units, control units etc., that are commonly used within specific architectures for protocol processing. The integrated usage of these components will provide an environment where virtual machines can be created and tested to verify the behavior of many different operations. Besides the library itself, three use cases are presented to validate and show the utility of the tool: the first is an implementation of a processor created just for the sake of testing and the other two are implementations of architectures based on the MCS85 processor and on the ARM kernel of the Intel IXP Network Processor.

Key words

Network Processors; Virtual Machines.

Sumário

1 Introdução	13
1.1. Objetivos	13
1.2. Organização da Dissertação	14
2 Trabalhos Relacionados	16
2.1. Arch C	16
2.1.1. Descrição do AC_ARCH	17
2.1.2. Descrição do AC_ISA	18
2.2. Reescrita Lógica na Especificação de Processadores (ELAN)	20
2.3. Simulador NPSIM	22
3 A Biblioteca para Implementação de Máquinas Virtuais	24
3.1. As Classes Fornecidas pela Biblioteca	29
3.1.1. As Classes Register e BasicRegister	29
3.1.2. A Classe Memory	32
3.1.3. A Classe CPUParser e a Construção dos Arquivos do Lexer e Parser	36
3.2. As Classes Fornecidas pelo Projetista	39
3.2.1. A Classe CPUCore	40
3.2.2. A Classe VirtualMachine	40
3.3. A Contagem de Ciclos Executados pelo Emulador	42
4 Estudos de Casos	44
4.1. Arquitetura Hipotética para Testes	45
4.2. Arquitetura baseada no Processador MCS85	50
4.3. Arquitetura baseada no Núcleo ARM do Processador IXP	56
4.3.1. A Implementação de Um Programa Executado no IXP	62
5 Conclusões e Contribuições Esperadas	68
6 Referências	70

7 Apêndice A Código-Fonte da Biblioteca Implementada	72
7.1. Arquivos de Cabeçalho (Código-Fonte) Comuns aos 03 Estudos de Casos	72
7.1.1. Arquivo CPUParser.h	72
7.1.2. Arquivo Memória.h	72
7.1.3. Arquivo Register.h	73
7.1.4. Arquivo Tipos.h	74
7.2. Arquivos de Cabeçalho (Código-Fonte) do Estudo de Caso da Arquitetura Hipotética	75
7.2.1. Arquivo CPU.cpp.h	75
7.2.2. Arquivo CPUcore.h	76
7.2.3. Arquivo VM.h	77
7.3. Arquivos de Cabeçalho (Código-Fonte) do Estudo de Caso do MCS85	78
7.3.1. Arquivo CPU.cpp.h	78
7.3.2. Arquivo CPUcore.h	79
7.3.3. Arquivo VM.h	82
7.4. Arquivos de Cabeçalho (Código-Fonte) do Estudo de Caso do IXP	82
7.4.1. Arquivo CPU.cpp.h	82
7.4.2. Arquivo CPUcore.h	83
7.4.3. Arquivo VM.h	86
8 Apêndice B Descrição dos Opcodes Implementados no Núcleo ARM do IXP	87
9 Apêndice C Formato do Cabeçalho do Datagrama IPv4	102

Lista de Figuras

Figura 2-1 - Exemplo de Descrição do AC_ARCH	18
Figura 2-2 - Exemplo de Descrição do AC_ISA	19
Figura 2-3 - Exemplo de Especificação de Um Processador Básico com ELAN	21
Figura 2-4 - Interface Principal do NPSIM	23
Figura 3-1 - Relacionamentos da Biblioteca com os Projetistas	24
e Funcionamento da Máquina Virtual	24
Figura 3-2 – Exemplo da Árvore de Diretório da Biblioteca da	27
Arquitetura IXP criada pelo Flex e Bison	27
Figura 3-3 – A Construção dos Arquivos do Lexer e Parser	28
Figura 3-4 – Exemplo de Uso de Parâmetros da Classe BasicRegister	31
e da Máscara de Bits	31
Figura 3-5– Exemplo da Sobrecarga de Operadores	32
Figura 3-6 – O Protótipo da Classe Memória	32
Figura 3-7 – A Função de Escrita Genérica	34
Figura 3-8 – A Função de Leitura Genérica	35
Figura 3-9 – A Declaração de Opcodes em CPU.I	37
Figura 3-10 – A Declaração de Tokens em CPU.y	37
Figura 3-11 – A Implementação dos Opcodes em CPU.y	39
Figura 3-12 – O Protótipo da Classe CPUcore	40
Figura 3-13 – A Declaração da Classe VirtualMachine	41
Figura 3-14 – A Instância da VM Emulada a partir da Classe VirtualMachine	42
Figura 3-15 – A Definição do Número de Ciclos em CPU.y	43
Figura 4-1 – Os Protótipos das Funções da CPU do Estudo de Caso CPU8	46
Figura 4-2 – O arquivo CPU.I para o Estudo de Caso CPU8	47
Figura 4-3 – O arquivo CPU.y para o Estudo de Caso CPU8	48
Figura 4-4 – A Criação da CPU e Memória para o Estudo de Caso CPU8	48
Figura 4-5 – A Instância da VM CPU8 e os Dados	49
Carregados nos Registradores	49
Figura 4-6 – A Execução da Máquina Virtual de CPU8	50
Figura 4-7 – Os Protótipos das Funções da CPU do Estudo de Caso MCS85	51
Figura 4-8 – A Criação da CPU e Memória para o Estudo de Caso MCS85	52
Figura 4-9 – A Instância da VM MCS85 e os Dados Carregados	52

nos Registradores	52
Figura 4-10 – O arquivo CPU.I para o Estudo de Caso MCS85	53
Figura 4-11 – O arquivo CPU.y para o Estudo de Caso MCS85	54
Figura 4-12 – As Operações de MOV e ADD em MCS85	55
Figura 4-13 – A Execução da Máquina Virtual do MCS85	56
Figura 4-14 – A Arquitetura do Processador IXP	57
Figura 4-15 – Os Protótipos das Funções da CPU do Estudo de Caso IXP	58
Figura 4-16 – A Criação da CPU e Memória para o Estudo de Caso IXP	59
Figura 4-17 – A Instância da VM do IXP e os Dados Carregados	59
nos Registradores	59
Figura 4-18 – O arquivo CPU.I para o Estudo de Caso IXP	60
Figura 4-19 – O arquivo CPU.y para o Estudo de Caso IXP	61
Figura 4-20 – Código IXP carregando o Programa	62
Figura 4-21 – Código IXP testando a Validação do Cabeçalho IPv4	63
Figura 4-22 – Código IXP inicializando os Registradores	64
Figura 4-23 – Exemplo do Código IXP implementado	66
Figura 9-1 – Formato do Cabeçalho do Datagrama IPv4	102
Figura 9-2 – Detalhamento do Campo Type of Service do Datagrama IPv4	102
Figura 9-3 – Detalhamento dos Campos Precedência, D, T, R e M	103
Figura 9-4 – Detalhamento dos Campos DF e MF	103

Lista de tabelas

Tabela 1: O Conteúdo do Cabeçalho do Pacote IP utilizado no Cálculo de Checksum	65
Tabela 2: O Cálculo de Checksum	65