

# **DESENVOLVIMENTO DE DRIVER PARA UM CONTROLADOR DE POLARIZAÇÃO DE NIOBATO DE LÍTIO BASEADO EM PLATAFORMA FPGA**

Vinícius de Mello Lima

Projeto de Graduação



# **DESENVOLVIMENTO DE DRIVER PARA UM CONTROLADOR DE POLARIZAÇÃO DE NIOBATO DE LÍTIO BASEADO EM PLATAFORMA FPGA**

**Aluno: Vinícius de Mello Lima**

**Orientador: Eduardo Costa da Silva**

**Co-orientador: Gustavo Castro do Amaral**

Trabalho apresentado com requisito parcial à conclusão do curso de Engenharia Elétrica na Pontifícia Universidade Católica do Rio de Janeiro, Rio de Janeiro, Brasil.

## Agradecimentos

Primeiramente a Deus que ao longo de todos os caminhos que trilhei, em tudo me tem sustentado e ajudado.

À minha família que me apoiou e esteve ao meu lado durante toda essa etapa de minha vida.

Aos meus amigos e namorada pelos momentos vividos juntos, horas compartilhadas e motivação em momentos de desânimo.

Aos meus orientadores pelo suporte, tempo despendido e orientações concedidas.

A todos meu muito obrigado!

## Resumo

Um sinal óptico introduzido por um laser em uma fibra óptica pode ter seu estado de polarização fortemente alterado em função das características da fibra. Muitas aplicações relacionadas a comunicações ópticas têm seu desempenho significativamente deteriorado por tais alterações. Neste contexto, evidencia-se a importância de dispositivos que garantam o controle da polarização, como p.ex. os baseados em niobato de lítio, que apresentam alta estabilidade e baixa variação térmica. Contudo, este dispositivo necessita ser excitado de forma apropriada por tensões relativamente altas e apresentar resposta rápida, a fim de viabilizar a comunicação. Dessa forma, este trabalho objetiva desenvolver um *driver* de controle que possa atuar em conjunto com um controlador de polarização, propiciando um mecanismo eficaz de ajuste da polarização.

**Palavras-chave:** *Driver*; Conversão D/A e A/D; Polarização da luz; Fonte de alimentação; FPGA.

## **DEVELOPMENT OF A DRIVER FOR A LITHIUM NIOBATE POLARIZATION CONTROLLER BASED ON FPGA PLATFORM**

### **Abstract**

An optical signal introduced by a laser into an optical fiber can have its polarization state strongly affected by the fiber characteristics. Many applications in the field of optical communications have their performance significantly compromised by such changes. This context highlights the importance of devices aimed at ensuring the control of the polarization, such as those based on lithium niobate, which present a high stability and a low thermal coefficient. However, to operate properly, this device requires relatively high excitation voltages and it must provide rapid response times, in order to make communication viable. Thus, this work aims at developing a control driver for a polarization controller, providing an effective mechanism for the adjustment of polarization.

**Keywords:** Driver; D/A and A/D Conversion; Polarization; Power supply; FPGA.

## Sumário

1. Introdução .....	8
2. Fundamentação Teórica .....	9
2.1. Polarização da Luz .....	9
2.2. Parâmetros de <i>Stokes</i> e Esfera de <i>Poincaré</i> .....	12
2.3. Waveplate .....	13
2.4. Polarímetro.....	14
2.5. Controlador de Polarização de Niobato de Lítio .....	15
2.6. FPGA .....	16
2.7. Conversor Analógico-Digital e Digital-Analógico .....	17
3. Projeto do Sistema .....	19
3.1. Fontes de +70 V e -70 V .....	20
3.2. Fontes auxiliares.....	22
3.3. Pré-driver e <i>Driver</i> de Potência .....	23
3.4. Conversor Digital-Analógico .....	25
3.5. Conversor Analógico-Digital .....	26
4. Simulações.....	27
4.1. Fontes de +70 V e -70 V.....	27
4.2. Conversor Digital-Analógico .....	31
4.3. Conversor Analógico-Digital .....	32
4.4. Pré- <i>driver</i> e <i>Driver</i> de Potência .....	33
5. Conclusões e Trabalhos Futuros.....	36
6. Referências .....	37
7. Anexos .....	39
7.1. Diagrama Elétrico Fontes .....	39
7.2. Diagrama Elétrico Estágio de Potência.....	40
7.3. Diagrama Elétrico ADC's.....	44
7.4. Diagrama Elétrico DAC .....	46
7.5. Diagrama Elétrico da Pinagem dos Conectores .....	47

## Lista de Figuras

Figura 1 - Onda plana se propagando na direção do eixo z. ....	9
Figura 2 - Representação da Polarização Linear.....	10
Figura 3 - Representação da Polarização Circular. ....	10
Figura 4 - Representação da Polarização Elíptica.....	11
Figura 5 - Representação da Esfera de <i>Poincaré</i> . ....	13
Figura 6 - Exemplo de waveplate. ....	13
Figura 7 - Diagrama de blocos de um polarímetro.....	14
Figura 8 - Direção do campo elétrico no guia em um controlador de polarização de LiNbO <sub>3</sub> . ....	15
Figura 9 - Representação dos eixos de rotação efetuados pelo controlador de LiNbO <sub>3</sub> .....	15
Figura 10 - FPGA, modelo XEM3005 da Opal Kelly [13]. ....	17
Figura 11 - Representação em blocos de um A/D e D/A.....	17
Figura 12 - Representação de uma onda convertida DA.....	18
Figura 13 - Diagrama de Blocos do Projeto. ....	19
Figura 14 - Fontes de +70 V e -70 V.....	20
Figura 15 - Representação da saída da ponte retificadora (verde) e da tensão no nó A ( vermelho). ....	21
Figura 16 - Fontes Auxiliares. ....	23
Figura 17 - Estágio Potência. ....	24
Figura 18 - Conversor Digital-Analógico.....	25
Figura 19 - Conversor Analógico-Digital. ....	26
Figura 20 - Fonte de +70 V e -70 V. ....	27
Figura 21 - Tensão no capacitor C7. ....	28
Figura 22 - Tensão no capacitor C1. ....	28
Figura 23 - Tensão na base do transistor Q2.....	29
Figura 24 - Tensão na base do transistor Q3.....	29
Figura 25 - Resposta da fonte +70 V a variação de carga em sua saída.....	30
Figura 26 - Resposta da fonte -70 V a variação de carga em sua saída. ....	30
Figura 27 - Conversão Digital-Analógico. ....	31
Figura 28 - Tensão de saída em relação e palavras conhecidas de entrada no DAC. ....	31
Figura 29 - Conversor Analógico-Digital, quadrados vermelhos indicam nível binário “alto” e quadrados azuis indicam nível binário “baixo”. ....	32
Figura 30 - Tensão de entrada do ADC.....	32
Figura 31 - Saída ADC. ....	33
Figura 32 - Estágio Final.....	34
Figura 33 - Resposta do estágio de saída a variações de tensões na entrada. ....	34
Figura 34 - Resposta do pré-driver, medida na saída de U13, para uma sequência conhecida de palavras binárias aplicadas no DAC. ....	35
Figura 35 - Resposta do Driver de Potência quando a forma de onda apresentada na Figura 34 é conectada a sua entrada.....	35

## Lista de Tabelas

Tabela 1 - Relação entre entradas analógicas do ADC e suas respectivas palavras binárias de saída..... 33



## 1. Introdução

Sistemas de comunicação a fibra-óptica estão presentes nas mais diversas aplicações, como redes de acesso, metrô, aviação. Com a crescente demanda por aumento da capacidade de tráfego de sinais, diversas técnicas de modulação, correções de efeitos de materiais e ações mecânicas têm sido utilizadas [1-2]; pode-se destacar nestes efeitos a PMD (*Polarization Mode Dispersion* – Dispersão de Modo de Polarização). Outros parâmetros também se fazem necessários de serem controlados como o DGD (*Differential Group Delay* – Atraso Diferencial de Grupo) e o PDL (*Polarization Dependent Loss* – Perda Dependente de Polarização) [3].

Dessa forma, evidencia-se a necessidade de controle de polarização de sinais propagantes em fibras ópticas. Um controlador de polarização deve transformar um SOP (*State of Polarization*) arbitrário em sua entrada em outro estado específico em sua saída [3].

Controladores de polarização automáticos e rápidos são importantes para o futuro dos sistemas de comunicações ópticas e em geral seus dispositivos de controle são implementados digitalmente para se obter a mais rápida resposta. Dispositivos de controle de polarização foram inicialmente realizados com configurações eletromecânicas capazes de pressionar e torcer as fibras ópticas. Posteriormente, foram utilizadas lâminas de fração de onda ou retardadores e mais recentemente guias de ondas ópticos feitos em Niobato de Lítio ( $\text{LiNbO}_3$ ) [1-3].

Neste trabalho, será utilizado o controlador de polarização de Niobato de Lítio modelo PC-B8-00-SFU-SFU da EOSpace. Contudo, para a adequada utilização de tal controlador se faz necessária a confecção de um circuito capaz de polarizá-lo corretamente, efetuar correções em tempo real e estimar seu ponto de birrefringência nula. Atualmente, existem módulos comerciais que realizam esta função; contudo, estas possuem alto-custo. Consequentemente, o presente trabalho foca no desenvolvimento de uma solução de baixo-custo, confiável e com bom desempenho, que possa ser usada em ambientes de aprendizado, pesquisa e outros.

Espera-se que o presente trabalho contribua para o desenvolvimento de um módulo de controle que, com o auxílio de uma FPGA (*Field Programmable Gate Array*), possa se autocalibrar e chavear qualquer polarização da luz entrante para uma polarização desejada [4]. A FPGA é utilizada para o processamento dos algoritmos de controle que serão implementados futuramente e não serão objetos deste trabalho.

O capítulo 2 faz uma revisão de conceitos teóricos necessários para o projeto; o Capítulo 3 foca em aspectos associados ao desenvolvimento do projeto, o Capítulo 4 apresenta os resultados computacionais obtidos e o capítulo 5 explicita as conclusões obtidas e sugere trabalhos futuros. Por sua vez, as referências bibliográficas são apresentadas no Capítulo 6, e o Capítulo 7 é uma seção de anexos, contendo os diagramas esquemáticos dos circuitos eletrônicos projetados.

## 2. Fundamentação Teórica

Esta seção apresenta os conceitos teóricos necessários para implementação do projeto. Nas próximas subseções serão introduzidos fundamentos referentes à: polarização da luz (seção 2.1), vetores de Stokes e esfera de Poincaré (seção 2.2), waveplate (seção 2.3), polarímetro (seção 2.4), controlador de polarização de Niobato de Lítio (seção 2.5), FPGA (seção 2.6) e conversor Analógico-Digital e Digital-Analógico (seção 2.7).

### 2.1. Polarização da Luz

A polarização é um dos fenômenos cujo conceito só pode ser compreendido por meio da interpretação eletromagnética da luz. Um feixe de luz monocromática se propagando no espaço livre é uma onda eletromagnética transversal (TEM), que se caracteriza por apresentar campo elétrico e magnético perpendiculares a direção de propagação, conforme apresentado na Figura 1 [1-2].

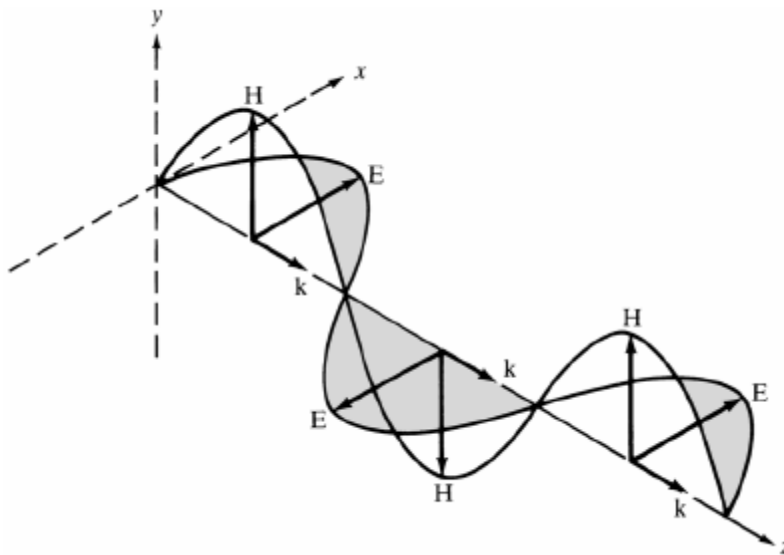


Figura 1 - Onda plana se propagando na direção do eixo z.

Por sua vez, a expressão do Vetor Campo Elétrico  $\vec{E}$  de uma onda TEM que se propaga na direção positiva do eixo z pode ser definida como [5]:

$$\vec{E} = E_x \hat{a}_x + E_y \hat{a}_y = E_{x0} \cdot \cos(-kz + \omega t + \phi_x) \hat{a}_x + E_{y0} \cdot \cos(\omega t - kz + \phi_y) \hat{a}_y \quad (1)$$

Onde:  $\hat{a}_x$  e  $\hat{a}_y$  representam respectivamente os vetores unitários nas direções x e y,  $E_{x0}$  é a amplitude da projeção do campo eletromagnético no eixo x ( $E_x$ ),  $E_{y0}$  é a amplitude da projeção do campo eletromagnético no eixo y ( $E_y$ ),  $k$  é a constante de propagação,  $\omega$  é a frequência angular de oscilação e  $\phi_x$  e  $\phi_y$  são as fases relativas de cada componente em relação à origem do sistema de coordenadas.

O pico da projeção do vetor campo elétrico  $\vec{E}$  no plano xy representa o tipo de polarização da luz. Consequentemente, percebe-se que a polarização será afetada pelas amplitudes de  $E_x$  e  $E_y$  e pelo valor das fases  $\phi_x$  e  $\phi_y$ . A polarização de uma onda TEM pode ser classificada como: linear, circular ou elíptica; as quais são descritas a seguir:

- A. Polarização Linear – Uma onda eletromagnética é linearmente polarizada se o seu vetor campo elétrico possuir apenas uma componente ou duas componentes ortogonais, em fase ou em oposição de fase [5]. Dessa forma, percebe-se que um caso particular de polarização linear ocorre quando a diferença de fase  $\Delta\phi$  entre as duas componentes for um múltiplo inteiro de  $\pi$ , conforme definido pela eq. (2) e representado graficamente na Figura 2. Nesta situação, atendendo a eq. (2), verifica-se que polarização será linear independentemente das amplitudes  $E_{x0}$  e  $E_{y0}$ .

$$\Delta\phi = \phi_y - \phi_x = n\pi, \quad n \in \mathbb{Z} \quad (2)$$

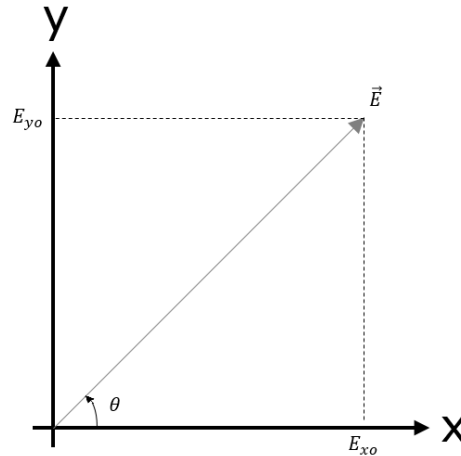


Figura 2 - Representação da Polarização Linear.

Em especial, ao assumir que as componentes  $E_{xo}$  e  $E_{yo}$  possuem o mesmo módulo, conforme o caso retratado na Figura 2, pode-se perceber que:

$$\theta = \tan^{-1} \left( \frac{E_{yo}}{E_{xo}} \right) = 45^\circ \quad (3)$$

Nos casos em que a eq. (3) se aplica, diz-se que a luz está polarizada linearmente na direção  $\theta$ .

- B. Polarização Circular – Ocorre quando as magnitudes das componentes  $E_x$  e  $E_y$  forem iguais (eq. (4)) e a diferença de fase  $\Delta\phi$  entre elas for  $\pm\pi/2$  (eq. (5)). Quando esta diferença de fase for positiva dir-se-á que a polarização é circular à direita (sentido horário) e quando for negativa, polarização circular à esquerda (sentido anti-horário) [5].

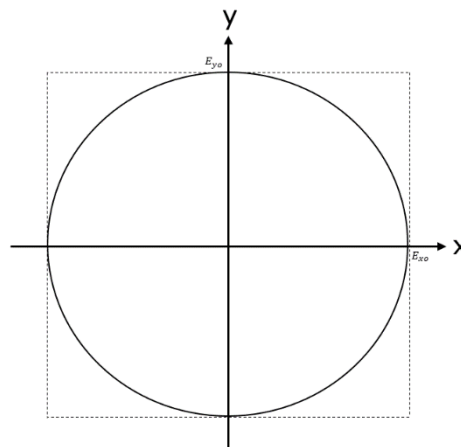


Figura 3 - Representação da Polarização Circular.

$$|E_{xo}| = |E_{yo}| \quad (4)$$

$$\Delta\phi = \phi_y - \phi_x = \begin{cases} +\left(\frac{1}{2} + 2n\right)\pi, & n \in \mathbb{Z} \rightarrow \text{Circular à direita } (\cup). \\ -\left(\frac{1}{2} + 2n\right)\pi, & n \in \mathbb{Z} \rightarrow \text{Circular à esquerda } (\cap). \end{cases} \quad (5)$$

- C. Polarização Elíptica – Este é o caso mais geral de polarização da luz, abrangendo todos os casos que não são enquadrados como polarizações lineares ou circulares. Ou seja, ondas elípticamente polarizadas podem apresentar diferenças relativas de amplitudes, entre  $E_x$  e  $E_y$ , e de fase, entre  $\phi_x$  e  $\phi_y$  [5].

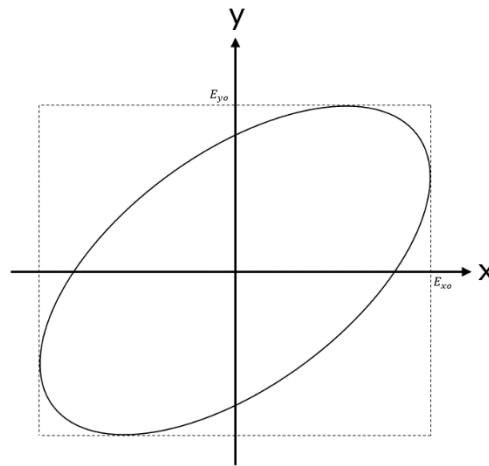


Figura 4 - Representação da Polarização Elíptica.

Ondas elípticamente polarizadas atendem as seguintes condições:

$$|E_{xo}| \neq |E_{yo}| \quad (6)$$

$$\Delta\phi = \phi_y - \phi_x = \begin{cases} +\left(\frac{1}{2} + 2n\right)\pi, & n \in \mathbb{Z} \rightarrow \text{Elíptica à direita } (\cup). \\ -\left(\frac{1}{2} + 2n\right)\pi, & n \in \mathbb{Z} \rightarrow \text{Elíptica à esquerda } (\cap). \end{cases} \quad (7)$$

$$\Delta\phi = \phi_y - \phi_x \neq \begin{cases} +\frac{n}{2}\pi, & n \in \mathbb{Z}^+ \rightarrow \text{Elíptica à direita } (\cup). \\ -\frac{n}{2}\pi, & n \in \mathbb{Z}^+ \rightarrow \text{Elíptica à esquerda } (\cap). \end{cases} \quad (8)$$

Dessa forma, comparando as definições aqui apresentadas com as explicitadas nas definições de polarização linear e circular, percebe-se que o caso elíptico é a forma geral, sendo que as polarizações linear e circular são formas derivadas da polarização elíptica.

## 2.2. Parâmetros de Stokes e Esfera de Poincaré

Os parâmetros de *Stokes* são um conjunto de valores que descrevem o estado de polarização de uma onda eletromagnética, estes valores consistem em apenas números reais com significado físico bem definido. Tais parâmetros possuem a vantagem de estarem diretamente associados a intensidades, que são as quantidades físicas efetivamente mensuráveis por instrumentação óptica. É possível representar tanto a luz polarizada quanto a não-polarizada por meio dos parâmetros de *Stokes* [5].

Os parâmetros de *Stokes* são representados por meio de notação vetorial, consistindo em um vetor coluna com quatro elementos:

$$S = \begin{bmatrix} S_0 \\ S_1 \\ S_2 \\ S_3 \end{bmatrix} = \begin{bmatrix} I_x + I_y \\ I_x - I_y \\ I_{45^\circ} - I_{-45^\circ} \\ I_{CE} - I_{CD} \end{bmatrix} \quad (9)$$

Onde:  $I_x$  e  $I_y$  são respectivamente as intensidades das componentes lineares da onda nos eixos x e y,  $I_{45^\circ}$  e  $I_{-45^\circ}$  são respectivamente as intensidades das componentes lineares da onda a  $45^\circ$  dos eixos x e y, e  $I_{CE}$  e  $I_{CD}$  indicam as intensidades de campo circularmente polarizado à esquerda e à direita, respectivamente. O parâmetro  $S_0$  representa a intensidade total do sinal de luz, ou seja, o somatório das intensidades de luz polarizada e não polarizada:

$$S_0 = I_{polarizada} + I_{não-polarizada} \quad (10)$$

Como, em geral, a luz não é 100% polarizada, não é possível negligenciar a intensidade não polarizada. A eq.(11) define o grau de polarização (DOP - *Degree of Polarization*), que é a relação entre a intensidade de luz polarizada e a intensidade total de luz:

$$DOP = \frac{I_{polarizada}}{I_{polarizada} + I_{não-polarizada}} \quad (11)$$

Normalizando os parâmetros de *Stokes*, igualando ao DOP e elevando os dois lados ao quadrado; obtém-se a seguinte relação:

$$DOP^2 = S_1^2 + S_2^2 + S_3^2 \quad (12)$$

Estes parâmetros formam a base para a representação dos estados de polarização por meio de uma representação geométrica chamada esfera de *Poincaré*, apresentada na Figura 5. Em [6] são explicitadas as deduções matemáticas que levam ao sistema de equações (13), que relaciona os parâmetros de *Stokes* aos parâmetros da esfera de *Poincaré*.

$$\begin{cases} S_1 = DOP * \cos 2\chi \\ S_2 = DOP * \sin 2\chi \cos \delta \\ S_3 = DOP * \sin 2\chi \sin \delta \end{cases} \quad (13)$$

Nas quais  $0 \leq \chi \leq \frac{\pi}{2}$  e  $0 \leq \delta \leq 2\pi$ . Onde  $\chi = \theta$  ; isto é, arco tangente entre o campo elétrico do eixo x e y. E  $\delta = \Delta \phi$  ; isto é, a diferença de fase entre as componentes.

O espaço geométrico dos pontos  $(S_1, S_2, S_3)$  para todas as combinações dos ângulos  $\chi$  e  $\delta$  é uma superfície esférica de raio 1. Essa esfera, chamada de Esfera de *Poincaré* possui uma correspondência biunívoca entre cada ponto em sua superfície ou interior e cada estado de polarização.

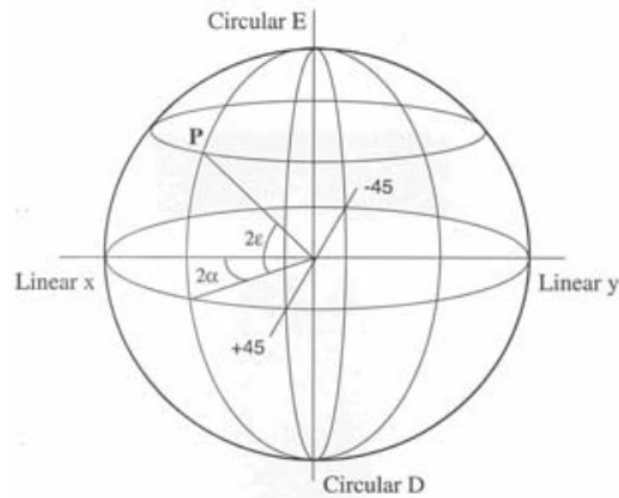


Figura 5 - Representação da Esfera de Poincaré.

### 2.3. Waveplate

*Waveplates*, também conhecidos como retardadores, transmitem luz e modificam seu estado de polarização sem atenuar, desviar ou espalhar o feixe. O estado de polarização é alterado por meio do retardo de um dos componentes da polarização em respeito ao componente ortogonal. Para luz não polarizada, eles equivalem a janelas por onde a luz passa [7-8].

Normalmente, tais dispositivos são fabricados utilizando-se materiais birrefringentes, usualmente cristais de quartzo. Estes materiais exibem variações em seus índices de refração em função da orientação da luz polarizada incidente. Tem-se que a componente da luz polarizada no eixo que possui o menor índice de refração (eixo rápido) viaja mais rápido que a componente projetada no eixo com maior índice de refração. Dessa forma, cria-se um retardo entre as componentes da luz polarizada, o qual é responsável por alterar o estado de polarização (SOP) original. Este retardo é a diferença de fase projetada entre os eixos e é tipicamente especificado em: graus, comprimento de onda ( $\lambda$ ) ou nanômetros (ilustração Figura 6). Os retardadores mais comuns são de  $\lambda/4$ ,  $\lambda/2$  e  $\lambda$ , contudo outros valores podem ser implementados em função da aplicação.

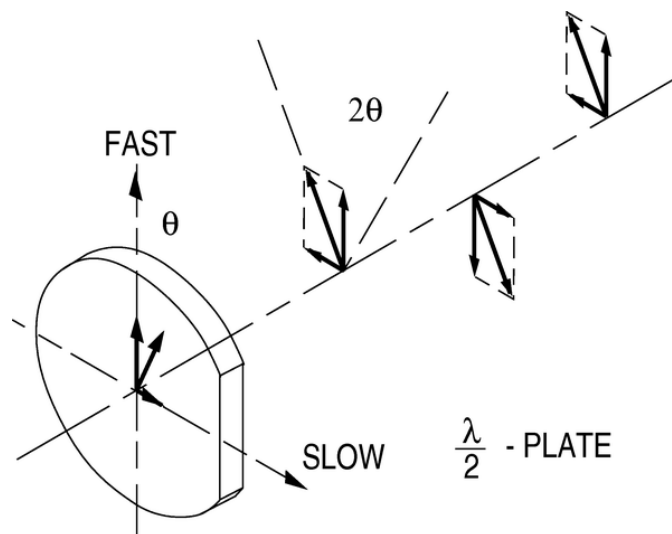


Figura 6 - Exemplo de waveplate.

## 2.4. Polarímetro

Um polarímetro é um instrumento capaz de identificar tanto o estado de polarização da luz (SOP), quanto o grau de polarização da luz (DOP), eq. (11), por meio da medição das intensidades das componentes lineares da luz nos eixos x e y ( $I_x$  e  $I_y$ ) e a 45° destes eixos ( $I_{45^\circ}$  e  $I_{-45^\circ}$ ), bem como das intensidades de campo circularmente polarizado à esquerda e à direita ( $I_{CE}$  e  $I_{CD}$ ). A fim de realizar medições individuais das intensidades de campo de interesse, os polarímetros utilizam polarizadores com eixos de transmissão x, y, 45°, -45° e lâminas de quarto de onda. Após passar por estes, a luz incide em fotodetectores que convertem as respectivas intensidades luminosas em níveis de tensão elétrica [9]. Isto é exemplificado na Figura 7.

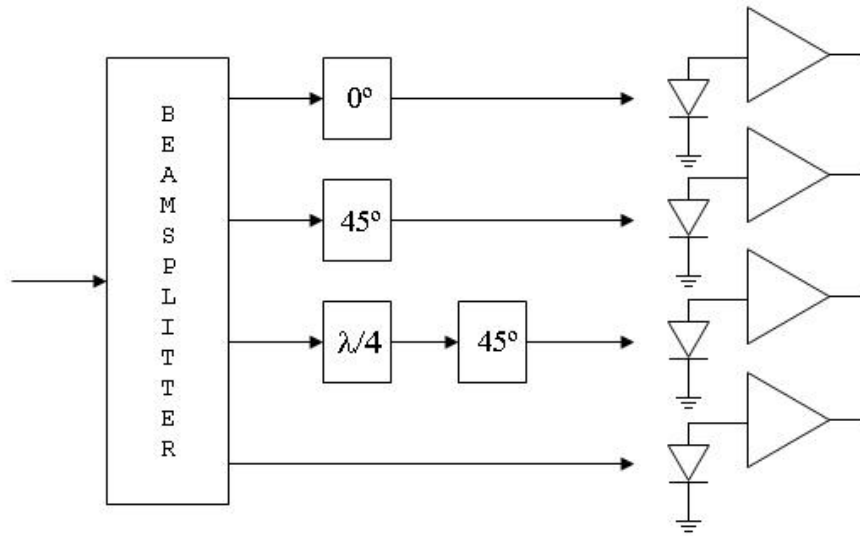


Figura 7 - Diagrama de blocos de um polarímetro.

Neste trabalho, utiliza-se o polarímetro analógico da *General Photonics*, PolaDetect (POD-001). Este é um polarímetro de baixo custo, com capacidade de caracterização do estado polarização em alta velocidade, sem que haja necessidade de interromper o tráfego de dados. Para fins de processamento dos dados das medições, o fabricante disponibiliza algumas matrizes de calibração, que levam em consideração o comprimento de onda do laser utilizado. Dispõe-se de cinco matrizes de calibração para os comprimentos de onda nominais de 1520 nm, 1530 nm, 1540 nm, 1550 nm e 1560 nm. Destaca-se que cada matriz de calibração pode ser usada para comprimentos de onda com variações de até  $\pm 5$  nm, em torno do respectivo valor nominal.

O polarímetro utilizado possui quatro terminais analógicos de saída ( $V_1$ ,  $V_2$ ,  $V_3$  e  $V_4$ ), cujas tensões podem variar entre 0 e 10 volts. Por sua vez, os parâmetros de *Stokes S* estão diretamente associados a estes níveis de tensão, podendo ser obtidos por meio do emprego da matriz de calibração  $M$  adequada, conforme definido por:

$$\begin{bmatrix} S_0 \\ S_1 \\ S_2 \\ S_3 \end{bmatrix} = \begin{bmatrix} m_{11} & m_{12} & m_{13} & m_{14} \\ m_{21} & m_{22} & m_{23} & m_{24} \\ m_{31} & m_{32} & m_{33} & m_{34} \\ m_{41} & m_{42} & m_{43} & m_{44} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \\ V_3 \\ V_4 \end{bmatrix} \quad (14)$$

Onde:  $S_k$  são os parâmetros de *stokes*,  $m_{ij}$  são os coeficientes da matriz de calibração (dependente do comprimento de onda  $\lambda$ ), e  $V_k$  são as tensões analógicas de saída do polarímetro.



## 2.5. Controlador de Polarização de Niobato de Lítio

Esses controladores tem seu funcionamento baseado no efeito Kerr, o qual caracteriza-se por produzir variações no índice de refração de um material em função da intensidade da luz incidente [10]. O Niobato de Lítio ( $\text{LiNbO}_3$ ) é utilizado em tais controladores por ser bastante estável termicamente e apresentar um alto coeficiente eletro-óptico, o que maximiza o efeito Kerr neste material. Os guias de onda são fabricados com eletrodos montados numa disposição específica, conforme apresentado na Figura 8, a fim de que a tensão aplicada nestes gere um campo elétrico, induzindo uma alteração na birrefringência do guia de onda. Consequentemente, devido a variação da birrefringência, consegue-se provocar mudanças na direção do vetor de polarização da luz.

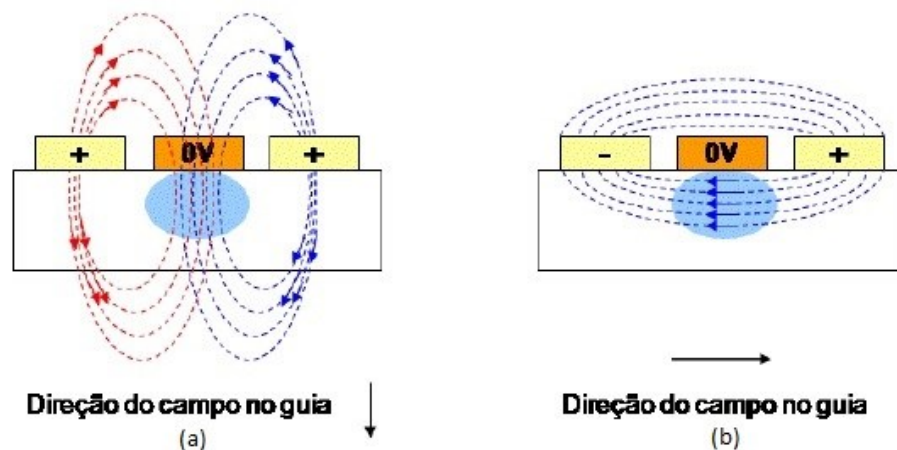


Figura 8 - Direção do campo elétrico no guia em um controlador de polarização de  $\text{LiNbO}_3$ .

Na Figura 8a, a polarização da tensão aplicada nos eletrodos é a mesma, o que gera um campo vertical através da seção transversal do guia. Já na Figura 8b, a polarização da tensão aplicada nos eletrodos é contrária, o que gera um campo horizontal através da seção transversal, fazendo com que a polarização gire ortogonalmente na esfera de *Poincaré* em relação ao campo aplicado.

Uma forma muito eficaz de se alcançar qualquer ponto na superfície da esfera de *Poincaré* (obter qualquer estado de polarização de saída no controlador de polarização) é utilizar alternadamente as várias seções do controlador. Assim, cada seção gira a polarização da luz em eixos perpendiculares entre si na esfera. Como cada seção será responsável por girar um trecho na esfera, atuando-se simultaneamente em todas as seções, a chegada na posição desejada ocorrerá mais rapidamente do que realizando vários giros atuando somente numa seção. Na Figura 9, representa-se como esse giro da polarização acontece nos eixos.

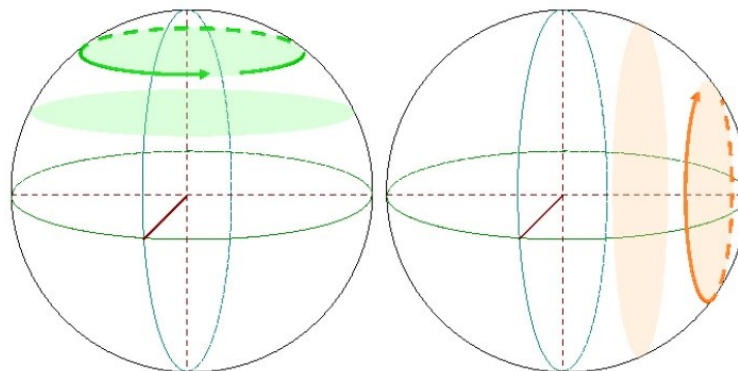


Figura 9 - Representação dos eixos de rotação efetuados pelo controlador de  $\text{LiNbO}_3$ .



O controlador de polarização de Niobato de Lítio utilizado no presente trabalho é o modelo PC-B8-00-SFU-SFU da Eospace. O mesmo tem seu funcionamento regido pelo seguinte sistema de equações (15):

$$\begin{aligned} V_A &= 2V_0 * \delta * \sin(\alpha) - V_\pi * \delta * \cos(\alpha) + V_{A,Bias} \\ V_B &= 0 \text{ (Ground)} \\ V_C &= 2V_0 * \delta * \sin(\alpha) + V_\pi * \delta * \cos(\alpha) + V_{C,Bias} \end{aligned} \quad (15)$$

Onde:  $V_\pi$  é a tensão necessária para provocar uma diferença de fase de  $180^\circ$  entre os modos TE (Transversal Elétrico) e TM (Transversal Magnético),  $V_0$  é a tensão necessária para girar TE para a direção de TM ou vice-versa,  $V_{A,Bias}$  e  $V_{C,Bias}$  são as tensões de ajuste (*bias*) necessárias para que se encontre o zero de birrefringência entre os modos TE e TM,  $\delta$  é o atraso desejado em comprimentos de onda (ou fração) e  $\alpha$  é o ângulo de orientação da lâmina.

## 2.6. FPGA

Um FPGA é um dispositivo semiconductor baseado numa matriz de blocos lógicos conectados por interconexões programáveis. Eles podem ser reprogramados em função das características demandadas pela aplicação desejada ou para implementarem funcionalidades adicionais, definidas após o processo de manufatura. Esta versatilidade diferencia tais dispositivos das ASICs (*Application Specific Integrated Circuits*) [11-12]. Para implementar alguma estrutura lógica em um FPGA, utiliza-se algum *software* capaz de gerar um arquivo de configurações que contenha as conexões desejadas entre os blocos lógicos, como, por exemplo, o ISE *Design Tools* da Xilinx. Posteriormente, deve-se carregar esse arquivo no FPGA, a fim de que o mesmo se reconfigure da forma desejada.

Os FPGA's possuem dois modos de operação: USB e ROM. No modo USB utiliza-se a conexão USB para enviar o arquivo gerado pelo *software*. Contudo, neste modo, ao se desligar a energia do FPGA, ele voltará ao seu estado original (sem conexões entre os blocos). Por outro lado, no modo ROM pode-se enviar o arquivo gerado para o FPGA, sendo que este salvará as configurações em um chip de memória *Flash ROM*. Dessa forma, toda vez que se ligar o FPGA ele iniciará este arquivo da memória interna, não perdendo sua configuração.

Devido a sua capacidade de reprogramação, os FPGA's têm entrado e/ou aumentado sua participação em diferentes segmentos de mercado, como: Aeroespacial, Defesa, Áudio, Automotivo, Comunicações *Wireless* e cabeadas, *Data Center*, Indústrias e outros [11-12].

Apesar de apresentarem variações em função das características do modelo específico, a estrutura básica de FPGA's inclui:

- Blocos Lógicos Configuráveis (CLB): unidade lógica básica, consiste de uma matriz de chaveamento com 4 ou 6 entradas, com alguns circuitos de seleção e *flip-flops*. São altamente flexíveis.
- Interconexões: roteiam os sinais entre I/O's e CLB's, são rápidas e dispostas internamente tanto na horizontal quanto na vertical. As ligações são feitas via *software* sendo totalmente transparentes para o usuário.
- *Input/Output* (I/O): FPGA's possuem dezenas de portas de entrada e saída de dados para interfaceamento com os sistemas. Elas são dispostas em bancos e suportam diferentes padrões.
- Memória: bloco de memória RAM e *Flash ROM* embarcadas para processamento e armazenamento de dados.
- *Clock*: Completo gerenciamento de *clock* e alguns modelos com *phase-locked loop* (PLL) para melhorar a precisão.

A Figura 8 apresenta um exemplo ilustrativo de FPGA.



Figura 10 - FPGA, modelo XEM3005 da Opal Kelly [13].

## 2.7. Conversor Analógico-Digital e Digital-Analógico

Conversores analógico-digitais (ADC – *Analog-to-Digital Converters*) são circuitos eletrônicos capazes de associar uma palavra digital de saída, com N-bits, a um sinal analógico de entrada. Por outro lado, conversores digital-analógicos (DAC – *Digital-to-Analog Converters*) são circuitos eletrônicos capazes de transformar uma palavra digital de entrada, com N-bits, em um sinal analógico de saída. Muitas vezes são usados filtros passa-baixa em sua saída para suavizar as transições abruptas existentes entre os sucessivos patamares do sinal de saída, o que permite minimizar a influência de componentes espúrias introduzidas no processo de conversão. A Figura 11 apresenta o diagrama de blocos de um ADC e de um DAC [14].

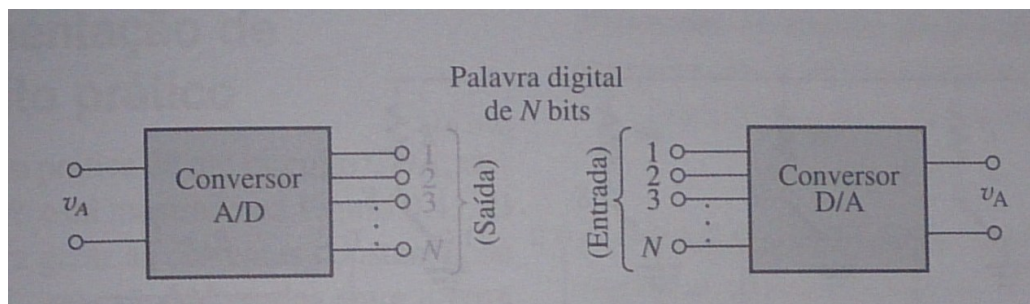


Figura 11 - Representação em blocos de um A/D e D/A.

A taxa de amostragem será a taxa com que o AD irá obter amostras do sinal de entrada. Ele realizará essa operação baseado num *clock* externo que será sua referência. Ao receber a amostra, o AD irá prover um número binário proporcional ao valor desta (quantização). Vale ressaltar que este número será baseado na tensão de referência e que é possível recuperar qualquer sinal utilizando amostras desde que o Teorema da Amostragem de *Nyquist-Shannon* seja obedecido [14].

A resolução binária será a quantidade de *bits* que os conversores trabalham. Assim, quanto maior a quantidade de *bits* maior será a resolução. No processo de quantização, erros são gerados devidos a áreas de dúvida na geração do código binário. Quando uma tensão de entrada é amostrada e não existe nível binário diretamente associado, ele será codificado como o código binário mais próximo. De forma geral, o erro será de metade do valor analógico associado a 1 *bit*. Assim, conclui-se que quanto maior a quantidade de *bits* utilizado, menor será o erro de quantização [14]. A Figura 12 exemplifica um sinal digital convertido e seu equivalente analógico.

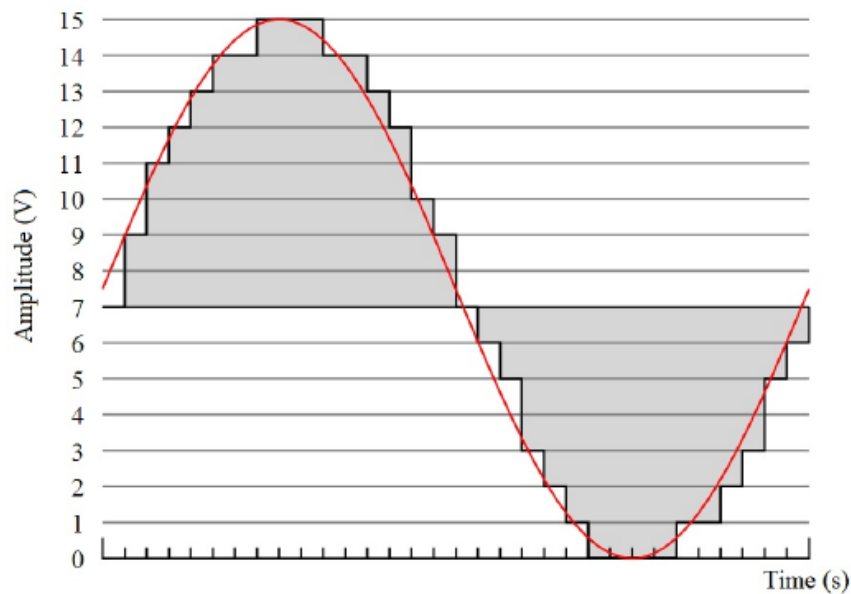


Figura 12 - Representação de uma onda convertida DA.

Existem diversos tipos de conversores AD cada qual com suas vantagens e desvantagens. Observa-se que existe uma clara relação de compromisso entre taxa de amostragem e resolução (quantidade *bits*), sendo extremamente complexo e raro a existência de conversores que apresentem simultaneamente altas taxas de amostragem e muitos *bits*. Exemplos de topologias empregadas na confecção de AD's são: realimentação, com inclinação dupla, paralelo, redistribuição de carga, etc [14]. Parâmetros como frequência máxima de amostragem, resolução, tensões de referência, SNR e característica do sinal de entrada precisam ser levados em consideração no momento do projeto sob pena de não se conseguir adquirir corretamente o sinal desejado [14].

Por outro lado, como exemplos de conversores DA é possível destacar os conversores com resistores com peso binário, escada R-2R, chaves de corrente [14]. O tipo de sinal de saída dependerá do modelo escolhido, sendo possível ter a resposta em corrente ou em tensão. Assim como nos AD's, é necessário especificar adequadamente os parâmetros do DA a fim de compatibilizar o dispositivo com o restante do sistema. Parâmetros como resolução, taxa máxima de conversão, tensão de referência, *Slew Rate* e *Setting Time* devem ser levados em consideração no projeto.

### 3. Projeto do Sistema

Neste capítulo, os circuitos propostos serão abordados detalhadamente, de modo a se apresentar uma visão global do projeto. Os diagramas completos podem ser visualizados na seção de Anexos. O software utilizado nos diagramas elétricos foi o Eagle 7.2 da Cadsoft.

Conforme apresentado na Figura 13, uma vez que o estado de polarização seja detectado por meio do polarímetro, este apresentará em suas saídas níveis de tensão correspondentes ao estado medido. Na sequência, estas tensões são convertidas em palavras digitais correspondentes por meio de um ADC e, posteriormente, são adquiridas pelas entradas de um FPGA.

O FPGA é o elemento responsável pelo processamento do sinal e pela execução da lógica de controle implementada. Após tal processamento, o FPGA exibirá os sinais binários de controle em seus canais de saída, os quais serão convertidos em tensões analógicas correspondentes por meio do emprego de um DAC. Por sua vez, as saídas do DAC são condicionadas por um *pré-driver* (estágio de pré-amplificação) e na sequência por um driver de potência (estágio de amplificação), cujas saídas são conectadas as entradas do controlador de polarização (PC-B8-00-SFU-SFU, da EOSpace). Este procedimento visa garantir a compatibilização dos níveis de tensão de saída do DAC com aqueles demandados pelas entradas do controlador de polarização.

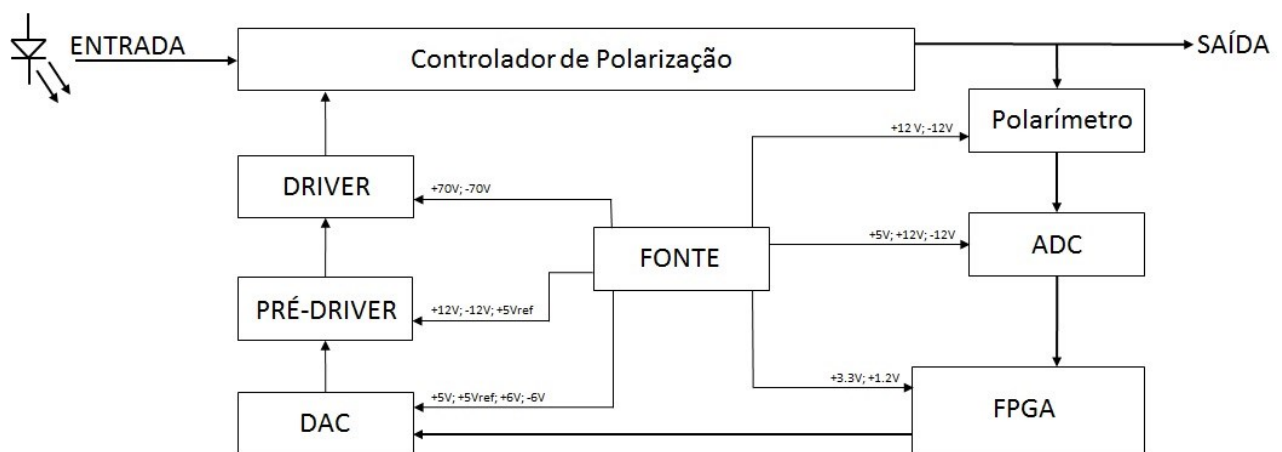


Figura 13 - Diagrama de Blocos do Projeto.

O FPGA utilizado no presente trabalho foi o modelo XEM3005 da Opal Kelly que possui uma porta de comunicação USB (*Universal Serial Bus*) de alta velocidade; 103 pinos de I/O (*Input/Output*); 32Mb (*megabits*) de SDRAM (*Synchronous Dynamic Random Access Memory*); um PLL (*Phase Locked Loop*) e uma porta SPI (*Serial Peripheral Interface*) [13].

O DAC utilizado foi o AD8600 da Analog Devices. Esse DAC tem como características: 16 canais de saída e controle de canais independentes, 2 $\mu$ s de *setting time*, tensão de alimentação da parte lógica independente do estágio de saída, entrada paralela de 8 *bits* com duplo *buffer*, o que permite que outros dados de entrada sejam carregados antes da conclusão do processo de conversão [15].

O ADC utilizado foi o ADS805 da Burr-Brown. O ADC tem como características: conversão em 12 *bits*, frequência máxima de trabalho de 20 MHz, limite do sinal de entrada flexível, arquitetura interna otimizada para minimizar harmônicos e baixo *jitter* [16].

O amplificador operacional do estágio de potência utilizado foi o LTC6090-5 [17]. Este foi escolhido por ser *Rail-to-Rail* e conseguir trabalhar numa faixa de 140 V. Este é um aspecto fundamental tendo em vista que a tensão máxima demanda pelas entradas do controlador de polarização pode chegar a  $\pm 70$  V. Além disso, destaca-se que o amplificador selecionado possui alta precisão, baixa tensão de *offset*, *slew rate* de 21V/ $\mu$ s e largura de banda de 12 MHz. Os itens citados possibilitam que o amplificador atinja a velocidade necessária para o chaveamento, garantindo que os níveis de tensão sejam alcançados em um curto espaço de tempo.

### 3.1. Fontes de +70 V e -70 V

Conforme indicado na Figura 13, teve-se que utilizar uma fonte CC simétrica de  $\pm 70$  V para se alimentar o driver de potência. Contudo, não foi possível localizar uma solução comercial que atendesse os requisitos de projeto (baixo custo e tensões de trabalho compatíveis). Assim, foi desenvolvido o circuito da Figura 14. Cabe ressaltar que o transistor usado na saída de +70 V é o 2SC4382 (NPN) [18] e o utilizado na saída de -70 V é o seu complementar 2SA1668 (PNP) [19].

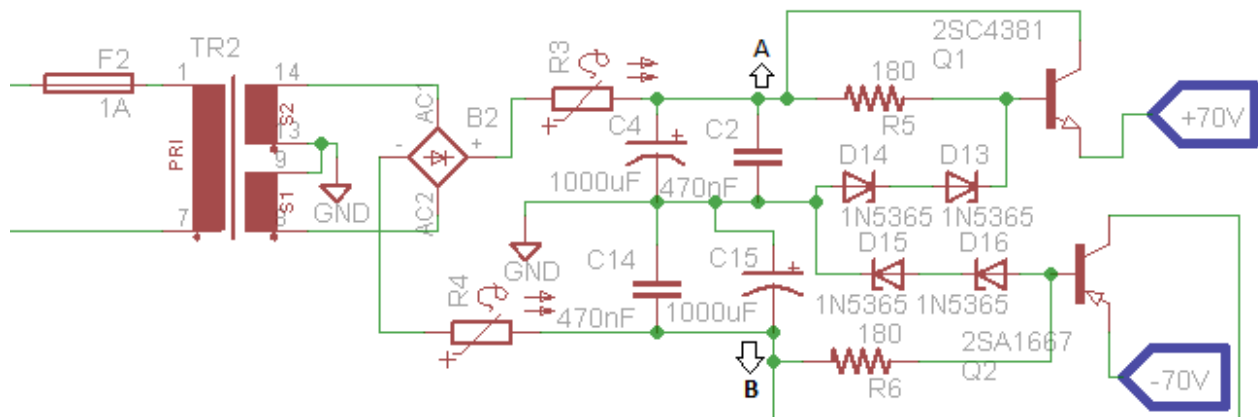


Figura 14 - Fontes de +70 V e -70 V.

Onde:

- TR2 é um transformador abaixador de 120 V<sub>ACrms</sub> para 60V<sub>ACrms</sub> + 60V<sub>ACrms</sub> [20];
- R3 e R4 são fusíveis do tipo PTC (*Positive Temperature Coefficient*), modelo 0ZRM0075FF1E [21];
- B2 é uma ponte retificadora modelo SKB2/04L5A da Semikron [22];
- C2, C4, C14 e C15 são capacitores utilizados para converter o sinal retificado da saída da ponte B2 em um nível de tensão quase-CC;
- Q1 é o transistor bipolar de junção modelo *nnp*, modelo 2SC4381;
- Q2 é o transistor bipolar de junção modelo *pnnp*, modelo 2SA1667;
- D13, D14, D15 e D16 são os diodos zener modelo 1N5365, que possuem tensões nominais de 36 V e podem dissipar até 5W de potência [23]; e
- R5 e R6 são resistores utilizados para limitar a corrente que flui pelos zeners.

No circuito apresentado na Figura 14, tem-se que a tensão da rede elétrica é conectada ao primário do transformador TR2, sendo baixada para níveis simétricos de 60 V<sub>ACrms</sub>. Na sequência, estas tensões são conectadas a uma ponte retificadora B2, que é responsável por efetuar uma retificação em onda completa. Por sua vez, a fim de converter o sinal retificado em níveis quase-CC, utilizam-se os capacitores C2, C4, C14 e C15. Dessa forma, consegue-se gerar níveis quase CC de +83,6 V, no nó A, e -83,6 V, no nó B. Ressalta-se que estes sinais apresentarão uma componente ondulatoria (*ripple*) com o dobro da frequência do sinal da rede elétrica, e com amplitude dependente da carga. A Figura 15 ilustra de forma aproximada o sinal retificado em verde, saída da ponte B2, e o nível de tensão presente no nó A, em vermelho.

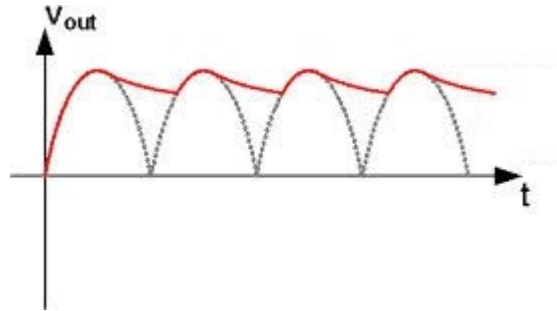


Figura 15 - Representação da saída da ponte retificadora (verde) e da tensão no nó A (vermelho).

Em função das características dos componentes alimentados pela fonte de +70 V, estimou-se que, no pior caso, a máxima corrente drenada do emissor de Q1 será 500 mA. Admitindo-se que a corrente no coletor de Q1 seja aproximadamente igual a corrente no emissor e considerando que a corrente que flui por R5 seja desprezível em relação a corrente, tem-se que a corrente  $I_L$  drenada do nó A será aproximadamente 500 mA. Por sua vez, conforme deduzido em [14], o valor pico-a-pico  $V_r$  do sinal de *ripple* em uma ponte retificadora de onda completa é dado por

$$V_r = \frac{I_L}{fC} \quad (16)$$

onde  $f$  é a frequência do sinal senoidal de entrada do ponte retificadora e  $C$  é o valor da capacitância utilizada.

Tendo em vista o circuito apresentado na Figura 14, tem-se que  $f$  é igual a 60 Hz e  $C$  é aproximadamente 1000  $\mu$ F. Logo, o valor previsto para  $V_r$  é de 8,3 V. Consequentemente, em teoria, o sinal no nó A apresentará um nível médio de 79,45 V, em torno do qual aparecerá uma componente de *ripple* de  $\pm 4,15$  V.

A fim de propiciar o ajuste deste nível de tensão para um valor mais apropriado e, também, garantir uma menor perturbação do mesmo pela componente de *ripple*, acoplou-se o nó A ao circuito de regulação *shunt*, implementado pelo resistor R5 em conjunto com os diodos zener D13 e D14, com tensão nominal de 36 V cada [23], conectados em série, totalizando 72 V. Por sua vez, aplicando a estrutura apresentada na Figura 14 as definições apresentadas em [14] para a regulação de linha de um regulador shunt, tem-se que

$$\text{Regulação de Linha} = \frac{\Delta v_b}{\Delta v_A} = \frac{2 \times r_z}{R_5 + 2 \times r_z} \quad (17)$$

onde  $v_b$  é a tensão na base de Q1 (saída do regulador),  $v_A$  é a tensão no nó A (entrada do regulador), e  $r_z$  é a resistência dinâmica dos zeners, que é aproximadamente 11  $\Omega$ , com base nas informações contidas no *datasheet* dos diodos D13 e D14, ambos do modelo 1N5365.

Consequentemente, para o circuito projetado, verifica-se que  $\Delta v_b / \Delta v_A$  é aproximadamente 0,11 V/V. Tendo em vista que, conforme anteriormente deduzido,  $\Delta v_A = \pm 4,15$  V, pode-se inferir que

$$\Delta v_b = 0,11 \times \Delta v_A = 0,11 \times (\pm 4,15 \text{ V}) \cong \pm 0,46 \text{ V} \quad (18)$$

Por sua vez, modelando os diodos zener como baterias,  $V_{z0}$ , em série com resistências,  $r_z$ , e desprezando a corrente de base de Q1, tem-se que a corrente média  $I_z$  que flui pelos diodos zeners será dada pela eq. (19). O valor de  $V_{z0}$  obtido com base no *datasheet* dos diodos é de 35,67 V.

$$I_z = \frac{v_A - 2 \times V_{z0}}{R_5 + 2 \times r_z} = \frac{79,45 - 2 \times 35,67}{180 + 2 \times 11} = 40,15 \text{ mA} \quad (19)$$



Logo, a tensão na base de Q1 ( $v_b$ ) pode ser definida por

$$v_b = 2 \times V_{Z0} + 2 \times r_z \times I_z \cong 72,2 \text{ V} \quad (20)$$

Segundo o *datasheet* do transistor Q1 (2SC4381) verifica-se que, para uma corrente de emissor de 500 mA, tem-se que: a diferença de potencial entre base e emissor ( $V_{be}$ ) será aproximadamente 0,7 V e  $\beta$  será cerca de 150. Consequentemente:

$$I_e = (\beta + 1)I_b \quad (21)$$

$$I_b = \frac{0,5}{151} = 3,31 \text{ mA} \quad (22)$$

$$V_e = V_b - V_{be} \quad (23)$$

$$V_e = 72,2 - 0,7 = 71,5 \text{ V} \quad (24)$$

onde  $I_e$  é a corrente de emissor de Q1;  $I_b$  é a corrente de base de Q1;  $V_b$  é a tensão de base de Q1;  $V_e$  é a tensão de emissor de Q1.

Dessa forma, tem-se que a tensão total no emissor de Q1 apresentará um nível médio de aproximadamente 71,5 V superposto a uma componente de *ripple*  $\Delta v_b$  com  $\pm 0,46$  V. Dessa forma, considerando-se as devidas tolerâncias e aproximações, verifica-se que os valores obtidos são satisfatoriamente próximos das especificações do projeto. Ressalta-se que estes valores são para o pior caso (carga máxima conectada a saída da fonte).

Por inspeção do circuito apresentado na Figura 14, pode-se perceber que o nível de tensão de -70 V, fornecido à carga conectada ao emissor de Q2, é obtido por meio de um processo análogo ao descrito para obtenção da tensão de +70 V. Dessa forma, tendo em vista a simetria do circuito, as deduções matemáticas aqui apresentadas se limitarão a definição da tensão de +70 V.

### 3.2. Fontes auxiliares

Além dos componentes presentes no módulo do *driver* de potência, o circuito proposto conta com outros diversos componentes que requerem tensões de alimentação específicas e diferentes de  $\pm 70$  V, conforme explicitado no diagrama de blocos da Figura 13. Em resumo, para adequada alimentação do circuito completo, necessita-se de:

- +12 V e -12 V – estágio de *pré-driver* e *buffers* de entrada do polarímetro (reguladores modelo LM7812 e LM7912, respectivamente) [24-25];
- +6 V e -6 V – conversor DAC (reguladores modelo LM7806 e LM7906, respectivamente) [24-25];
- +5 V – conversores DAC e ADC (regulador modelo LM7805) [24];
- $V_{ref}$  (+5 V) – referência do DAC (regulador modelo LT1461) [26];
- +3.3 V – alimentação do FPGA (regulador modelo LD1117S33) [27]; e
- +1.2 V – alimentação do FPGA (regulador modelo LD1117S12) [27].

As topologias implementadas, apresentadas na Figura 16, são baseadas em reguladores de tensão comerciais e seguem as recomendações contidas nos respectivos *datasheets* [24-27]. Consequentemente, as mesmas não serão discutidas em detalhes. Ressalta-se que a tensão de +5 V é obtida por dois reguladores, pois optou-se por se utilizar um  $V_{ref}$  de +5 V exclusivo e independente para o DAC, a fim de se propiciar uma tensão com melhor regulação e estabilidade, garantindo uma maior precisão na conversão.

No circuito apresentado na Figura 16, tem-se que a tensão da rede elétrica é conectada ao primário do transformador TR1 [28], sendo baixada para níveis simétricos de 12 V<sub>ACrms</sub>. Na sequência, estas tensões são conectadas a uma ponte retificadora B1, que é responsável por efetuar uma retificação em onda completa. Por sua vez, a fim de converter o sinal retificado em níveis quase-CC, utilizam-se os capacitores C1, C3 e C5. Dessa forma, consegue-se gerar níveis quase CC de +15,57 V, no nó A, e -15,57 V, no nó B. Ressalta-se que estes sinais apresentarão uma componente ondulatória (*ripple*) com o dobro da frequência do sinal da rede elétrica, e com amplitude dependente da carga.

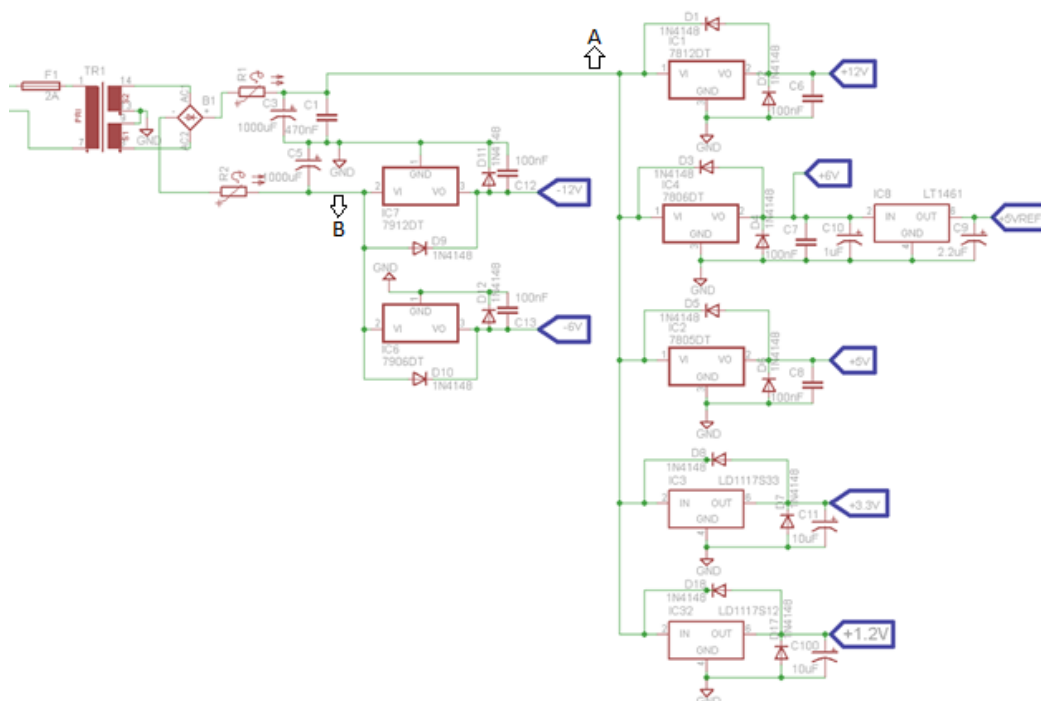


Figura 16 - Fontes Auxiliares.

### 3.3. Pré-driver e Driver de Potência

O circuito da Figura 17 é composto pelo *Pré-Driver* e pelo *Driver* de Potência. O sinal de saída do DAC ( $V_{DAC01}$ ) é conectado a um amplificador não inversor com ganho de 2 V/V. A configuração proposta para este amplificador propicia, além da amplificação propriamente dita, a adição de um nível CC ao sinal, que possibilita que a tensão de saída do amplificador opere de forma bipolar. Na sequência, o sinal é conectado a um filtro passa-baixas, implementado por R9 e C16, cuja saída é interligada a um estágio de amplificação final, que possibilita que a tensão de saída  $V_{OUT1}$  excursions por uma faixa de tensões compatível com a demandada pelas entradas do controlador de polarização.



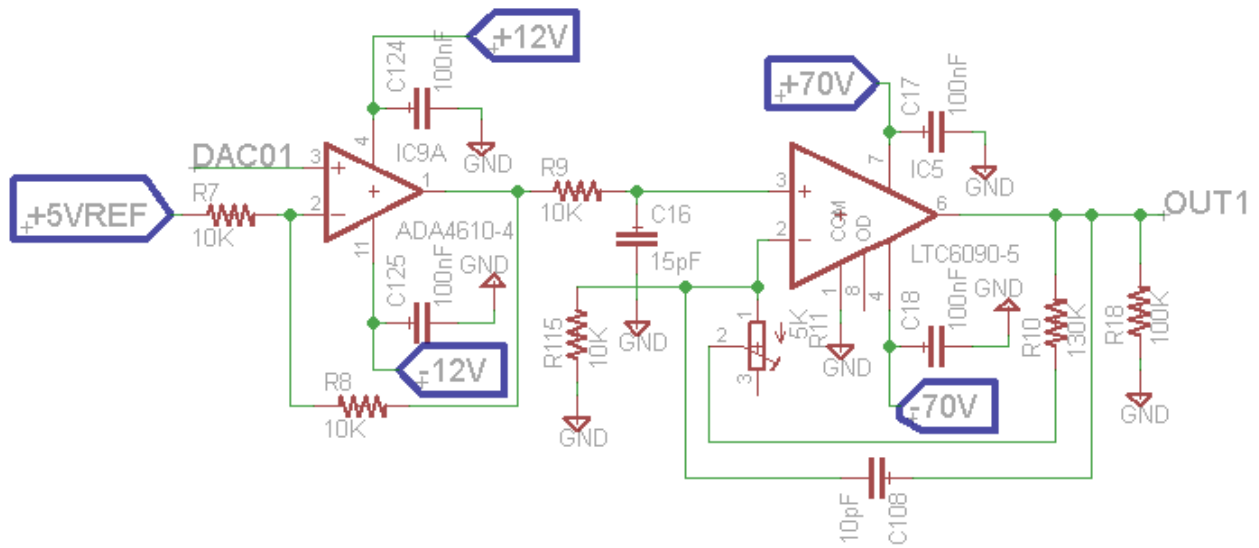


Figura 17 - Estágio Potência.

O circuito do *Pré-driver* é uma topologia sugerida pelo fabricante do DAC AD8600 [15] para que este trabalhe de forma bipolar, entre  $\pm 5$  V. A eq. (25) descreve o funcionamento desta configuração. Os capacitores conectados às entradas de alimentação do amplificador ADA4610 são capacitores de desacoplamento e têm por função minimizar perturbações advindas de componentes de ruído de alta frequência, presentes nas fontes de  $\pm 12$  V [29].

$$V_o = \left(1 + \frac{R_8}{R_7}\right) \times V_{DAC01} - \left(\frac{R_8}{R_7}\right) \times V_{+5VREF} = 2 \times V_{DAC01} - 5 \quad (25)$$

Onde:  $V_o$  é a tensão no terminal de saída (pino 1) do ADA4610;  $V_{DAC01}$  é a tensão vinda da saída 1 do conversor digital-analógico;  $V_{+5VREF}$  é a tensão de referência do conversor digital-analógico (5 V).

Tendo em vista a eq. (25) e sabendo que  $0 < V_{DAC01} < 5$  V, verifica-se que  $V_o$  excursionará de -5 V a +5 V. Na sequência, o sinal passa por um filtro passa-baixas RC passivo, para reduzir efeitos advindos de fontes de ruído de alta-frequência. A frequência de corte do filtro é  $f_c = 1.06$  MHz e pode ser determinada pela eq. 26.

$$f_c = \frac{1}{2 \times \pi \times R_9 \times C_{16}} \quad (26)$$

Por sua vez, o estágio de saída é implementado pelo amplificador LTC6090 em configuração não-inversora, com ganho de 14 V/V. Seu funcionamento é descrito pela eq. (27). O capacitor de 10 pF foi adicionado por recomendação do fabricante, para assegurar a estabilidade no funcionamento deste [17]. Entretanto, para a faixa de frequências de interesse, o ganho de malha fechada não é significativamente afetado pela presença deste capacitor, sendo que o mesmo pode ser desconsiderado no cálculo. Logo:

$$V_{out1} = \left(1 + \frac{(R_{10} + R_{11})}{R_{115}}\right) \times V_{in} = 14 V_{in} \quad (27)$$

Onde:  $V_{in}$  é a tensão no pino 3 do LTC6090-5, e  $V_{out1}$  é a tensão no pino 6 do LTC6090-5.

Ressalta-se que o resistor R18 foi adicionado ao circuito para evitar que a saída fique em aberto caso o Controlador de Polarização não esteja conectado ao mesmo. Por sua vez, C17 e C18 são capacitâncias de desacoplamento e, como tal, objetivam reduzir o ruído de alta-frequência.

Por meio da análise da eq. (27), sabendo-se que  $-5$  V  $< V_{in} < +5$  V, verifica-se que a topologia proposta permite que a tensão  $V_{out1}$  excursionsse de -70 V até +70 V, a qual é a faixa de operação das tensões de entrada do controlador de polarização.

### 3.4. Conversor Digital-Analógico

O circuito da Figura 18 mostra a implementação do estágio de conversão digital-analógico, baseado no DAC AD8600, que realiza a conversão de uma palavra digital de 8 *bits* em um nível analógico correspondente, entre 0 e 5 V. Este circuito integrado necessita de uma alimentação de +5 V para seu estágio de processamento lógico, uma tensão de referência para a conversão (+5 V), uma alimentação para o estágio da conversão escada R-2R (+5 V) e dois níveis de tensão para o estágio de saída analógica (+6 V e -6 V). Os capacitores de 100 nF, conectados às alimentações, objetivam atenuar ruído de alta frequência.

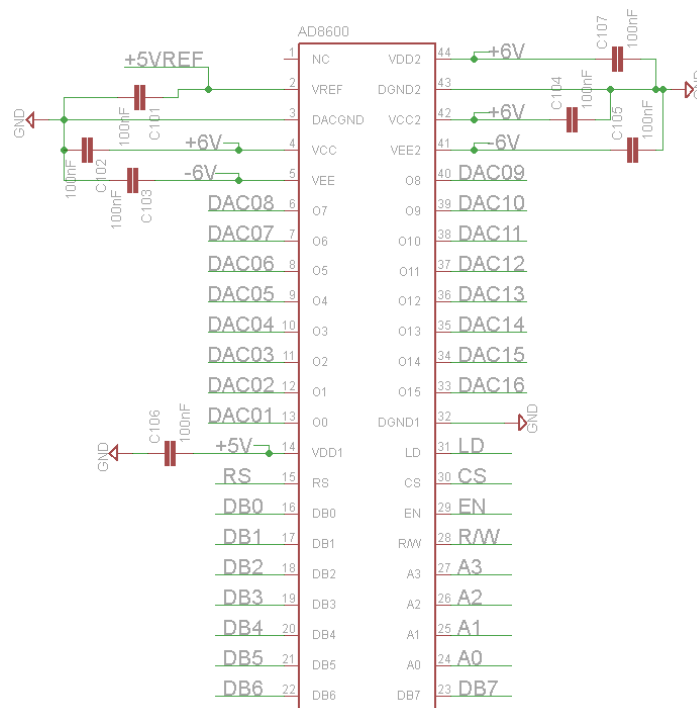


Figura 18 - Conversor Digital-Analógico.

Este conversor possui 5 pinos de controle (RS, LD, CS, EN e R/W), 16 saídas analógicas (DAC01 até DAC16) e 4 pinos de endereçamento de porta (A0 até A3). Os pinos de endereçamento são utilizados para indicar para qual porta analógica de saída será direcionado o nível analógico de tensão correspondente a cada palavra de 8 *bits* recebida. Ressalta-se ainda que, como este conversor possui duplo *buffer*, é possível carregar uma nova palavra enquanto outra palavra ainda está sendo decodificada. Por sua vez, os sinais de controle (RS, LD, CS, EN e R/W) devem ser acionados na sequência apropriada, indicada no *datasheet* do AD8600, a fim de não se gerar erros no processamento e, consequentemente, no nível analógico de saída.

### 3.5. Conversor Analógico-Digital

O estágio de conversão analógico-digital, apresentado na Figura 19, recebe os sinais advindos das saídas do polarímetro, as quais excursionam de 0 a 5 V. A fim de se prover uma entrada de alta impedância para este estágio, evitando que as entradas do ADC ADS805E afetem as tensões de saída do polarímetro, adicionou-se ao circuito um *buffer* de tensão, implementado por meio do OPA37GP [30]. Este amplificador operacional possui banda de 63 MHz, que é significativamente acima da taxa de aquisição do ADC (20 MS/s). Logo, garante-se que o *buffer* implementado não será o fator limitante do tempo de resposta do sistema. Destaca-se ainda que o OPA37GP possui níveis de ruído ultra-baixos (4,5 nV.Hz<sup>-1/2</sup>), não contribuindo significativamente para o ruído total do sistema. O potenciômetro R103 é utilizado para se ajustar a tensão de *Offset* do AmpOp.

Por sua vez, o conversor utilizado (ADS805E) foi configurado em função dos requisitos do projeto, de acordo com as recomendações contidas em seu *datasheet* [16]. Ele possui uma resolução de 12 *bits* e entrada analógica configurada para leitura direta (não diferencial). Por sua vez, o mesmo foi ajustado para trabalhar com referência interna ( $V_{REF} = 2,5 \text{ V}$ ) e propiciar uma faixa de leitura das tensões analógicas de entrada (IN+) entre 0 e 5 V, a qual é compatível com a faixa de excursão das tensões de saída do polarímetro. Após o processo de conversão, a palavra digital (B1 até B12) de saída é enviada para o FPGA, onde será processada pelo algoritmo de controle. O FPGA também é responsável pela geração do sinal de *clock* de 20 MHz, recebido pelo ADC.

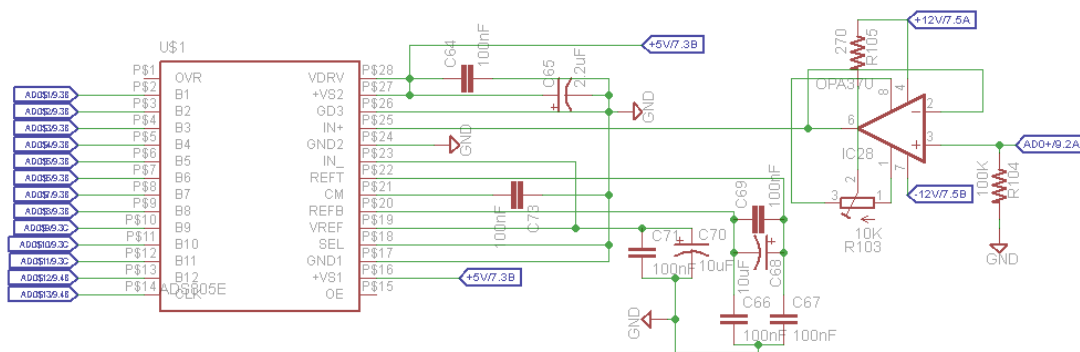


Figura 19 - Conversor Analógico-Digital.

## 4. Simulações

Este capítulo apresenta e discute os resultados obtidos por meio da simulação computacional dos módulos que compõem o sistema projetado no Capítulo 3 (Figura 13). Todavia, ressalta-se que os circuitos aqui simulados são aproximações dos circuitos efetivamente projetados no Capítulo 3, pois não foi possível encontrar os modelos computacionais de todos os componentes originalmente especificados. O software utilizado nas simulações foi o Proteus da Labcenter Electronics.

### 4.1. Fontes de +70 V e -70 V

O circuito apresentado na Figura 20 foi implementado a fim de simular o comportamento do estágio projetado na seção 3.1. A única diferença entre o circuito originalmente proposto e o aqui simulado são os transistores (Q2 e Q3) utilizados. No projeto foram empregados os transistores 2SC4381 (*nnp*) e 2SA1667 (*pnp*), por outro lado, nas simulações foram utilizados os modelos 2N6715 (*nnp*) e 2N6727 (*pnp*).

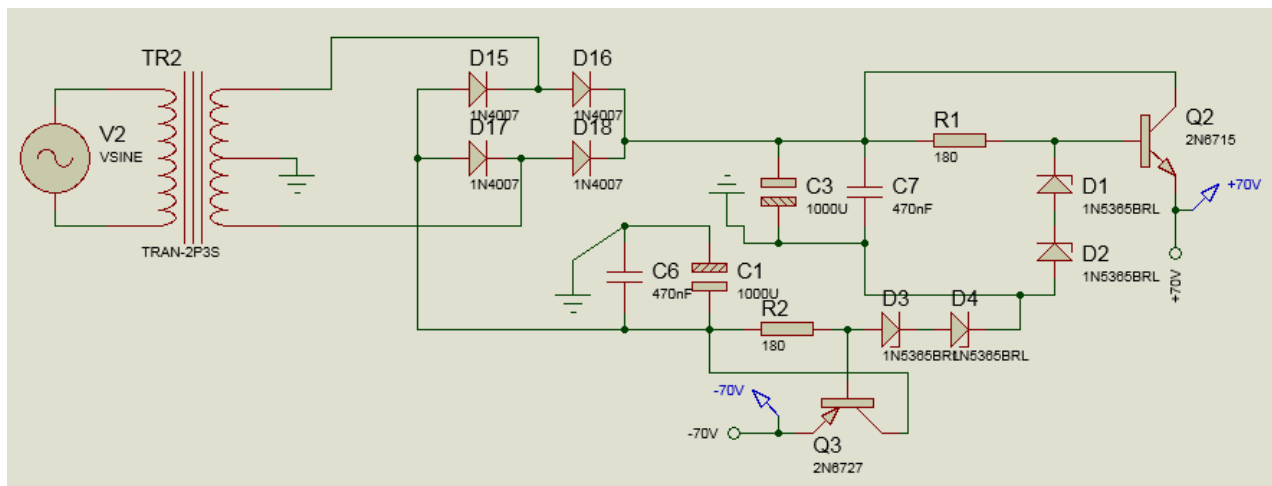


Figura 20 - Fonte de +70 V e -70 V.

As Figuras 21 e 22 apresentam a tensão sobre C7 e C1, respectivamente, na situação para a qual a os emissores de Q2 e Q3 estão conectados a um único driver de potência – alimentação do amplificador U9, apresentado na Figura 32 (seção 4.4). Inspeccionando estas Figuras, é possível constatar que o sinal senoidal, após ser retificado e filtrado, apresenta um nível quase CC de aproximadamente  $\pm 77,3 V$ , com a clara presença de uma componente de *ripple*. Este comportamento encontra-se de acordo com o previsto em teoria. Por outro lado, as Figuras 23 e 24 mostram a tensão na base de Q2 e Q3, respectivamente, ou seja, após passarem pelos reguladores *shunt*. Dessa forma, é possível verificar que os reguladores atenuam significativamente a amplitude da componente de *ripple* e, conforme esperado, geram em suas saídas níveis quase CC de aproximadamente  $\pm 72,3 V$ . Assim, pode-se constatar que os circuitos propostos estão funcionando de acordo com o previsto em teoria.

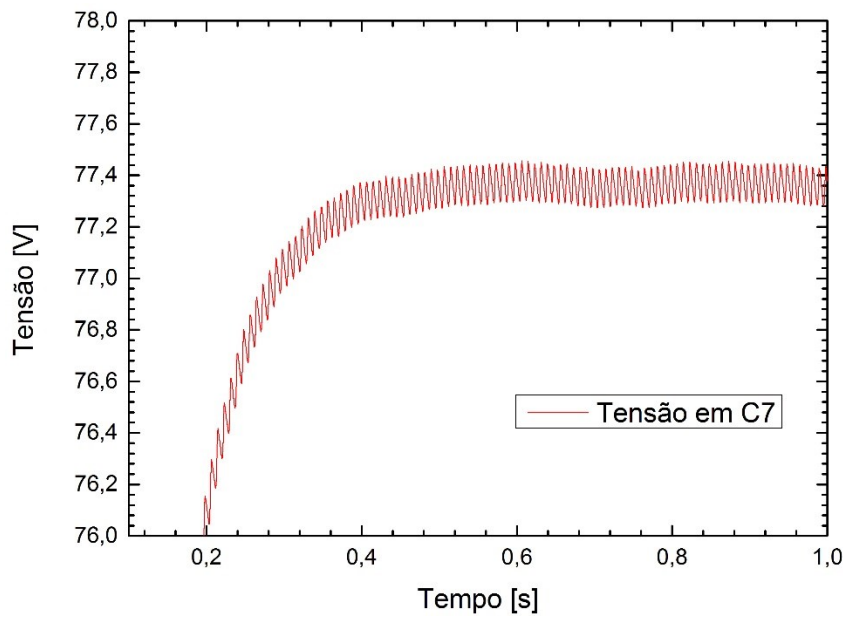


Figura 21 - Tensão no capacitor C7.

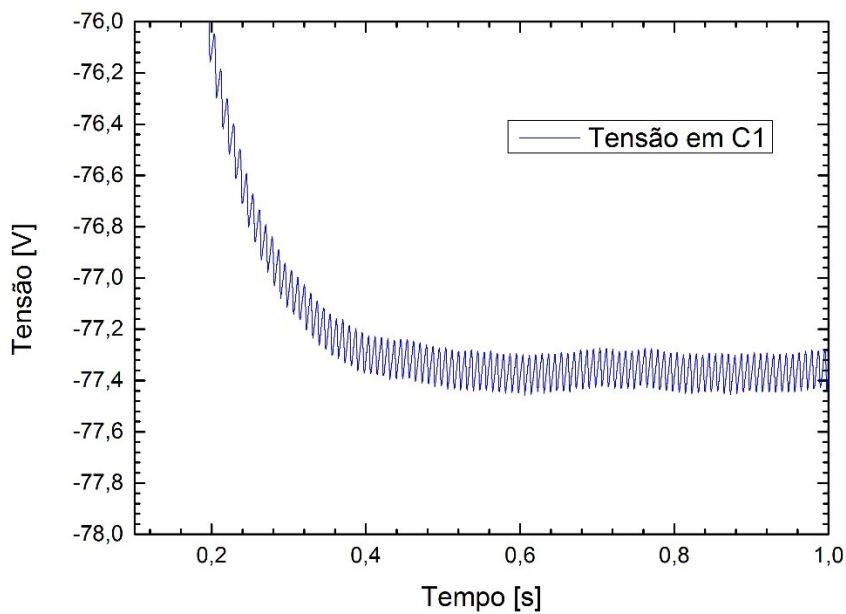


Figura 22 - Tensão no capacitor C1.

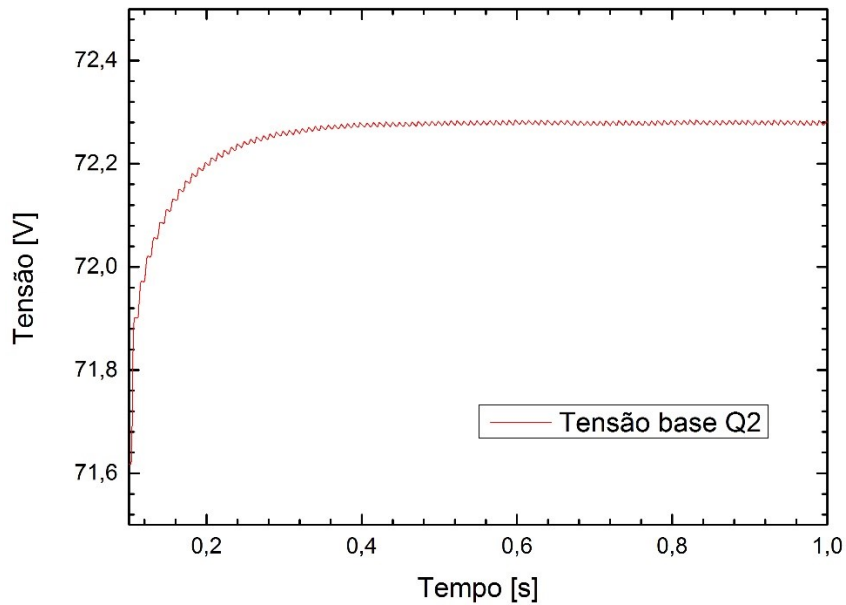


Figura 23 - Tensão na base do transistor Q2.

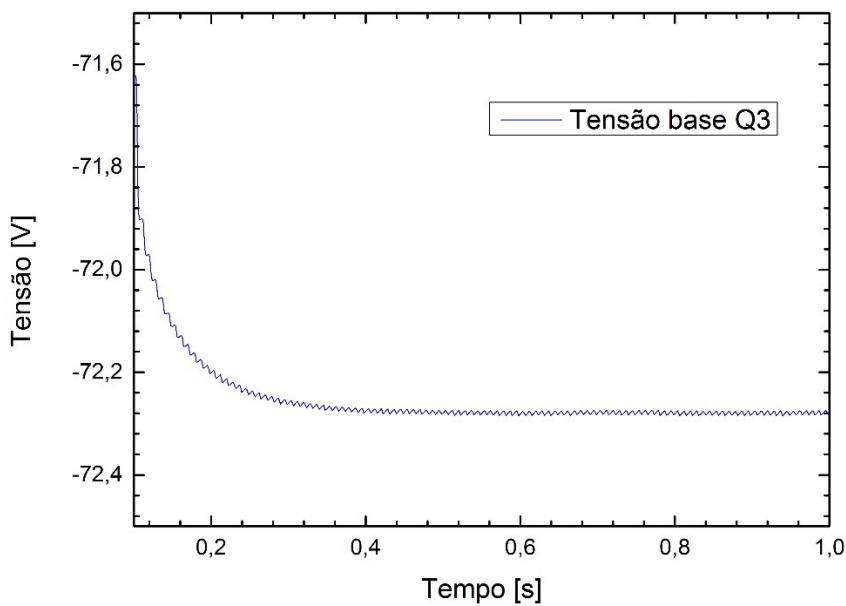


Figura 24 - Tensão na base do transistor Q3.

Por sua vez, a fim de avaliar a estabilidade dos níveis de tensão de saída, +70 V (emissor de Q2) e -70 V (emissor de Q3), em função de variações da carga conectada aos terminais de saída, foram feitas simulações do comportamento do circuito apresentado na Figura 20 para resistências de carga variando entre 0  $\Omega$  e 3000  $\Omega$ . Os resultados destas simulações são apresentados nas Figura 25 e Figura 26.

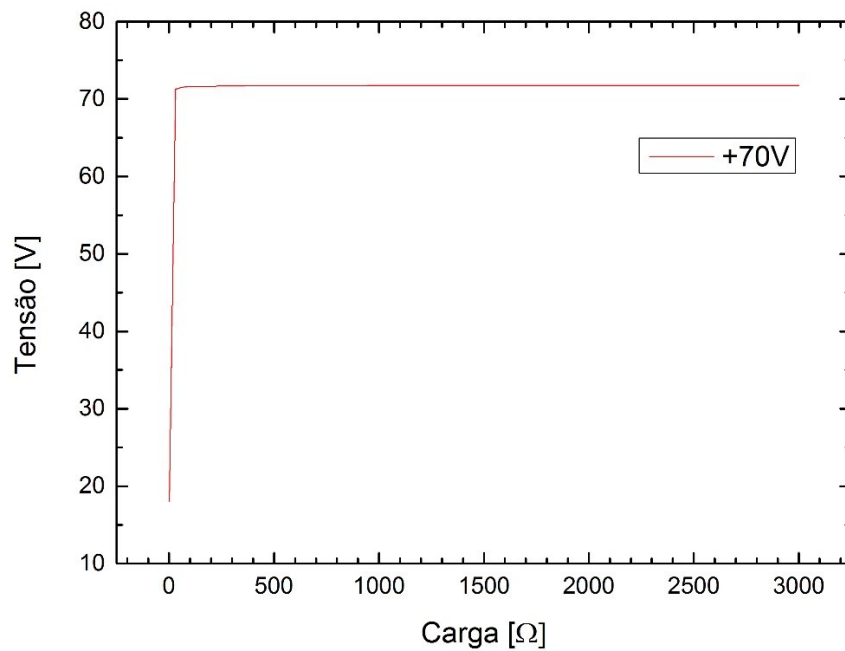


Figura 25 - Resposta da fonte +70 V a variação de carga em sua saída.

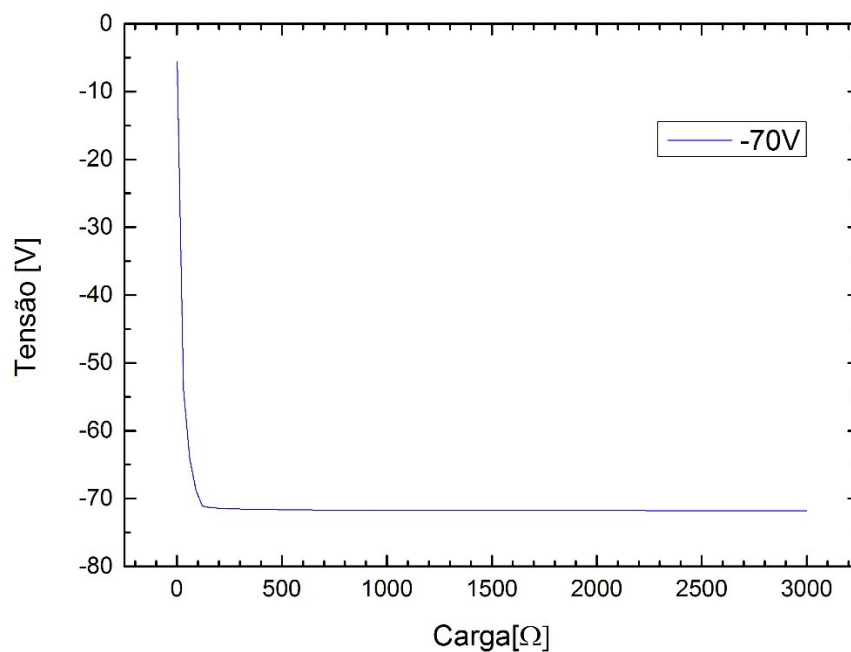


Figura 26 - Resposta da fonte -70 V a variação de carga em sua saída.

O circuito das fontes foi projetado de forma a ser capaz de prover correntes de até 500 mA. Dessa forma, sabendo que a corrente de carga é dada pela razão da tensão de saída pela resistência de carga e observando os resultados obtidos, é possível constatar que as fontes mantêm a saída estável até valores de corrente da ordem de 710 mA. Assim, conclui-se que o circuito proposto atende a este requisito do projeto.

## 4.2. Conversor Digital-Analógico

O circuito da Figura 27 realiza a conversão de uma palavra digital de 8 *bits* em um nível analógico. A semelhança deste circuito com o estágio projetado na seção 3.4 é que ambos os conversores são de 8 *bits*, possuem uma referência de 5 V e necessitam de um estágio adicional de saída (pré-driver), implementado por U13 na Figura 27, para tornar possível a operação em modo bipolar ( $\pm 5$  V). Entretanto, ressalta-se que o DAC utilizado na simulação (DAC0800, [31]) possui saída em corrente ( $I_{OUT}$ ), enquanto que o DAC originalmente especificado (AD8600) apresenta saída em tensão. Consequentemente, o pré-driver presente no circuito da Figura 27 é diferente do originalmente projetado na seção 3.3. Consequentemente, enfatiza-se que o circuito aqui simulado tem por objetivo verificar o comportamento de um estágio D/A com características análogas ao projetado. Entretanto, devido à existência de diferenças significativas entre o circuito aqui simulado e a versão projetada, é imperativo avaliar empiricamente o funcionamento do estágio de conversão digital-analógico.

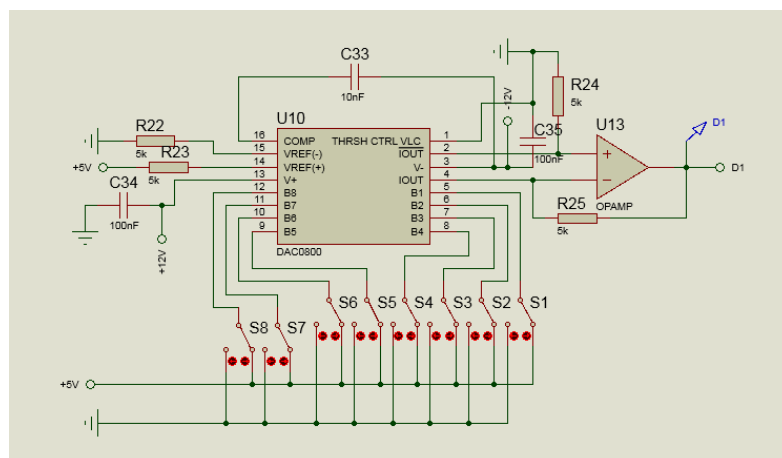


Figura 27 - Conversão Digital-Analógico.

A fim de se avaliar o funcionamento do módulo de conversão Digital-Analógico, mediu-se a tensão de saída de U13 ( $V_{D1}$ ) em função de uma sequência de palavras binárias conhecidas aplicadas às entradas do DAC (B1 até B8). Os resultados deste teste são apresentados na Figura 28, onde as palavras binárias são representadas por meio de seu valor equivalente na base decimal.

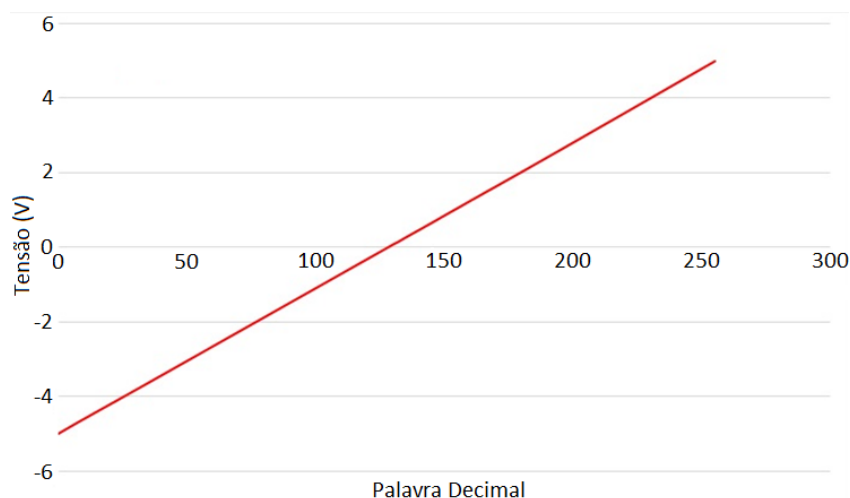


Figura 28 - Tensão de saída em relação e palavras conhecidas de entrada no DAC.

Observando a Figura 28, verifica-se que o módulo de conversão Digital-Analógico apresenta comportamento satisfatório; isto é, sua saída varia linearmente de -5 V a +5 V e a conversão de cada palavra binária está de acordo com o especificado em *datasheet* pelo fabricante [31].



### 4.3. Conversor Analógico-Digital

O circuito simulado mostrado na Figura 29 é muito próximo da versão projetada na seção 3.5, sendo que a principal diferença fica a cargo dos parâmetros do ADC simulado (LTC1099) em relação aos apresentados pelo ADC especificado (ADS805E). Em especial, a resolução do LTC1099 é de 8 *bits*, enquanto que o ADS805E possui 12 *bits* de resolução. Os resultados da simulação, indicados na própria Figura 29, indicam que, utilizando uma referência de +5 V, e colocando-se um sinal analógico de +2,49 V na entrada do ADC, a palavra gerada em sua saída é 10000000; o que está de acordo com o esperado.

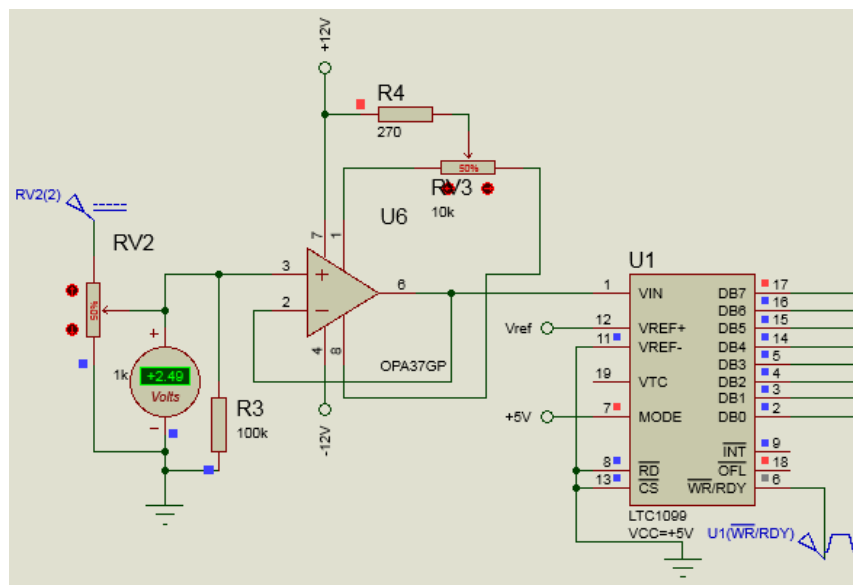


Figura 29 - Conversor Analógico-Digital, quadrados vermelhos indicam nível binário "alto" e quadrados azuis indicam nível binário "baixo".

A fim de se realizar um teste mais abrangente, variou-se o nível de tensão de entrada do ADC entre 0 e +2.5 V (Figura 30) e mediu-se as palavras binárias de saída do ADC (DB7 até DB0) correspondentes a cada tensão analógica de entrada analisada. Os resultados obtidos são apresentados na Figura 31.

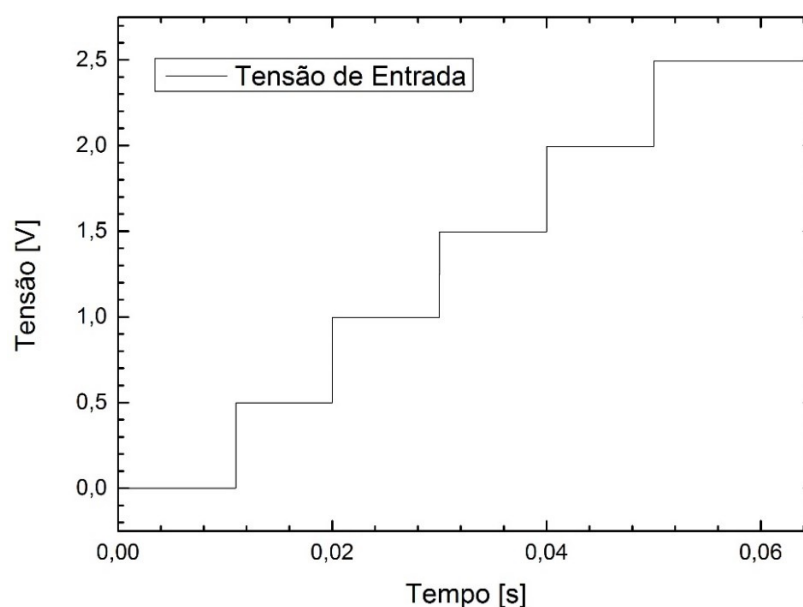


Figura 30 - Tensão de entrada do ADC.

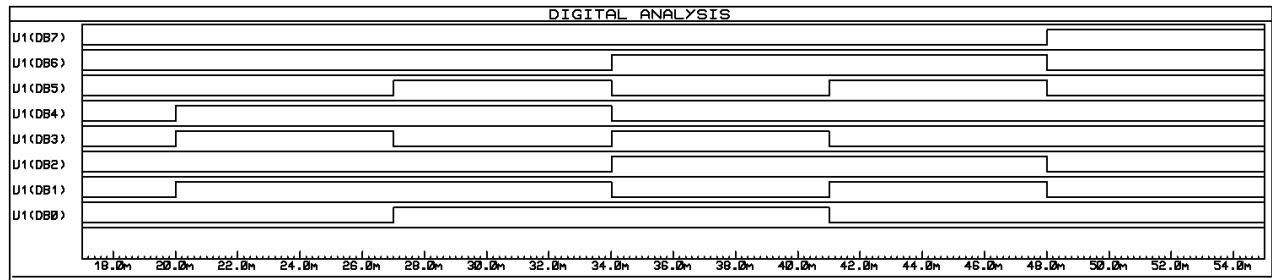


Figura 31 - Saída ADC.

Comparando-se a Figura 30 com a Figura 31, é possível construir a Tabela 1, que relaciona cada tensão analógica de entrada ( $V_{IN}$ ) do ADC a sua respectiva palavra binária de saída.

Tabela 1 - Relação entre entradas analógicas do ADC e suas respectivas palavras binárias de saída.

$V_{IN}$ (V)	Palavra Binária de Saída (DB7 DB6 DB5 DB4 DB3 DB2 DB1 DB0)
0	00000000
0,5	00011010
1,0	00110011
1,5	01001101
2,0	01100110
2,5	10000000

Por meio das Figuras 30 e 31, e dos resultados explicitados na Tabela 1, é possível verificar que o estágio de conversão analógico-digital opera da forma esperada.

#### 4.4. Pré-driver e Driver de Potência

O estágio proposto na seção 3.3 foi simulado e avaliado nesta seção. As simulações realizadas empregaram AmpOps genéricos (U13 e U9), devido a inexistência de modelos SPICE dos amplificadores especificados, ADA4610 e LTC6090-5. Entretanto, a fim de se garantir uma representação mais fidedigna do comportamento do circuito, os parâmetros destes amplificadores genéricos (banda passante, *slew rate*, tensão de *offset*, capacidade de corrente, etc.) foram configurados com base nos valores típicos informados nos *datasheets* dos amplificadores reais. Na Figura 32 a representação esquemática do circuito aqui simulado.

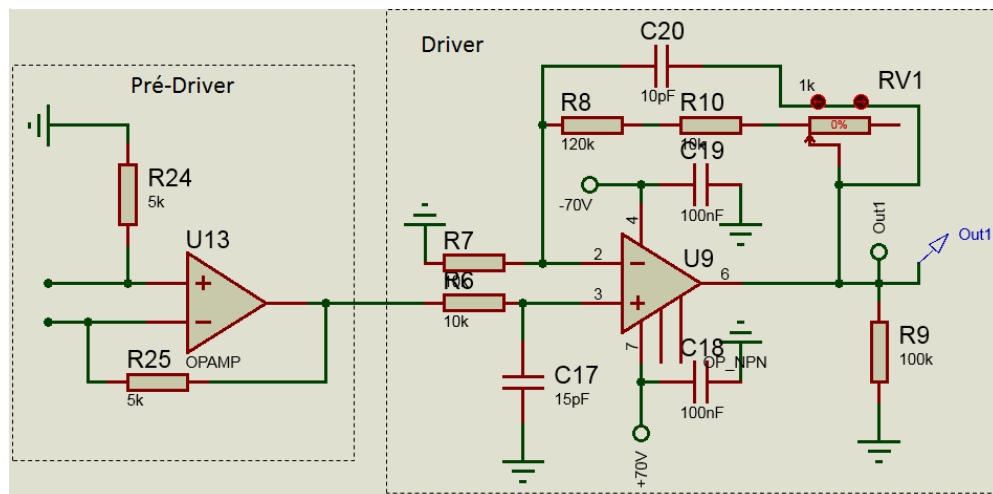


Figura 32 - Estágio Final.

O circuito do pré-driver já teve seu comportamento analisado na seção 4.2, conjuntamente com o circuito do conversor Digital-Analógico. Todavia, tendo em vista que o circuito simulado guarda significativas diferenças em relação a versão projetada, ressalta-se que se fazem necessários testes práticos com o circuito do pré-driver originalmente projetado na seção 3.3, a fim de se verificar o seu desempenho.

Por sua vez, os resultados das simulações do driver (U9) são apresentados na Figura 33, os quais permitem verificar a linearidade do circuito e a amplificação condizente com o que se deseja. Percebe-se que o coeficiente angular da reta apresentada é de aproximadamente 14 V/V, indicando que, conforme esperado, para uma entrada de  $\pm 5V$  a saída será de  $\pm 70V$ , respectivamente. Conforme esperado, também se observa que para uma entrada de  $0V$  a saída será de  $0V$ .

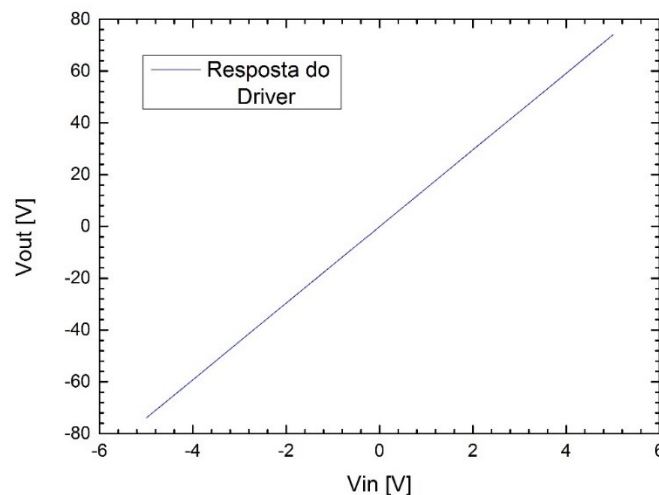


Figura 33 - Resposta do estágio de saída a variações de tensões na entrada.

A fim de se avaliar o comportamento das saídas do driver, que são efetivamente conectadas as entradas do controlador de polarização, interconectou-se a saída de U13 diretamente a entrada do driver apresentado na Figura 32. Por sua vez, a Figura 34 apresenta a tensão na saída de U13 em função de uma sequência de palavras binárias conhecidas aplicadas a entrada do DAC. Por outro lado, a Figura 35 apresenta a saída do driver ao receber a forma de onda explicitada na Figura 34.

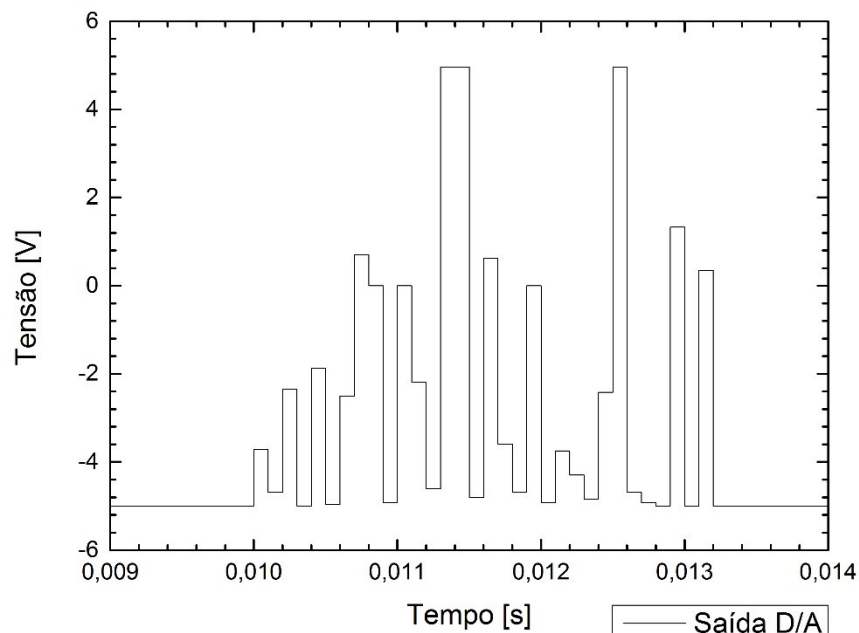


Figura 34 - Resposta do pré-driver, medida na saída de U13, para uma sequência conhecida de palavras binárias aplicadas no DAC.

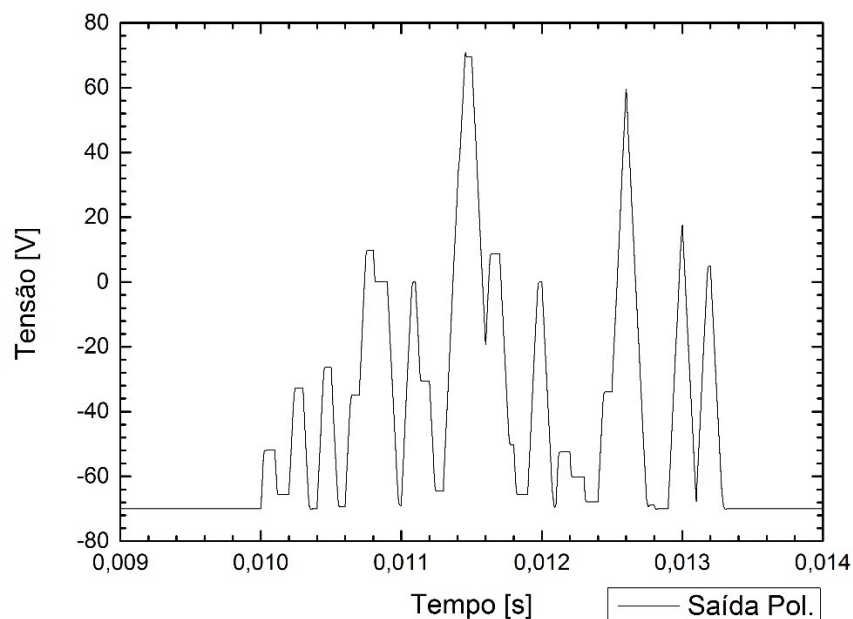


Figura 35 - Resposta do Driver de Potência quando a forma de onda apresentada na Figura 34 é conectada a sua entrada.

Inspecionando-se a Figura 34, percebe-se que a tensão na saída de U13 (saída do pré-driver) responde satisfatoriamente a sequência de palavras binárias conectadas às entradas do DAC. É possível observar que o tempo de reposta é satisfatoriamente rápido, não sendo possível perceber a existência de distorções. Entretanto, por meio dos resultados apresentados na Figura 35 (saída do driver) nota-se que a forma de onda apresenta distorções atribuídas ao *slew rate* do amplificador operacional utilizado na implementação do driver (U9, vide Figura 17), especialmente quando são demandadas grandes variações de tensão. Tais resultados sugerem que pode ser interessante buscar amplificadores operacionais com *slew rates* maiores, objetivando-se minimizar as distorções apresentadas na forma de onda da Figura 35.

## 5. Conclusões e Trabalhos Futuros

O controle de polarização se faz cada vez mais necessário em comunicações por fibras ópticas. Neste trabalho, objetivou-se contribuir para esta área de estudo, por meio do projeto de um *driver* de baixo custo para um controlador de polarização de niobato de lítio, no intuito de se prover um sistema eficaz para ajuste do estado de polarização de sinais ópticos.

No capítulo 2, apresentou-se uma revisão de conceitos teóricos necessários a realização do projeto: Polarização da Luz, Parâmetros de Stokes, Esfera de Poincaré, *Waveplate*, Polarímetro, Controlador de Polarização de Niobato de Lítio, FPGA e Conversor Analógico-Digital e Digital-Analógico. Em seguida, no capítulo 3, foram abordados detalhadamente os diversos módulos envolvidos no projeto do sistema para controle da polarização. Por sua vez, no capítulo 4 são apresentados os resultados das simulações computacionais dos circuitos propostos. Ressalta-se que, em alguns casos, os circuitos simulados são aproximações dos reais devido a inexistência de modelos SPICE de alguns dos componentes especificados.

Os resultados obtidos indicam que o *driver* de controle projetado apresenta desempenho satisfatório, sendo capaz de operar adequadamente em conjunto com o controlador de polarização da luz - PC-B8-00-SFU-SFU, da EOSpace.

Em trabalhos futuros, sugere-se a confecção de uma placa de circuito impresso para implementação prática dos circuitos aqui propostos. Na sequência, propõe-se a consecução de testes experimentais, a fim de se avaliar a operação do circuito aqui projetado e de se comparar os resultados experimentais com os advindos das análises teórico-computacionais aqui realizadas. Prevê-se ainda uma etapa associada ao desenvolvimento e teste de um *software* de controle, capaz de automatizar o processo de ajuste do estado de polarização.

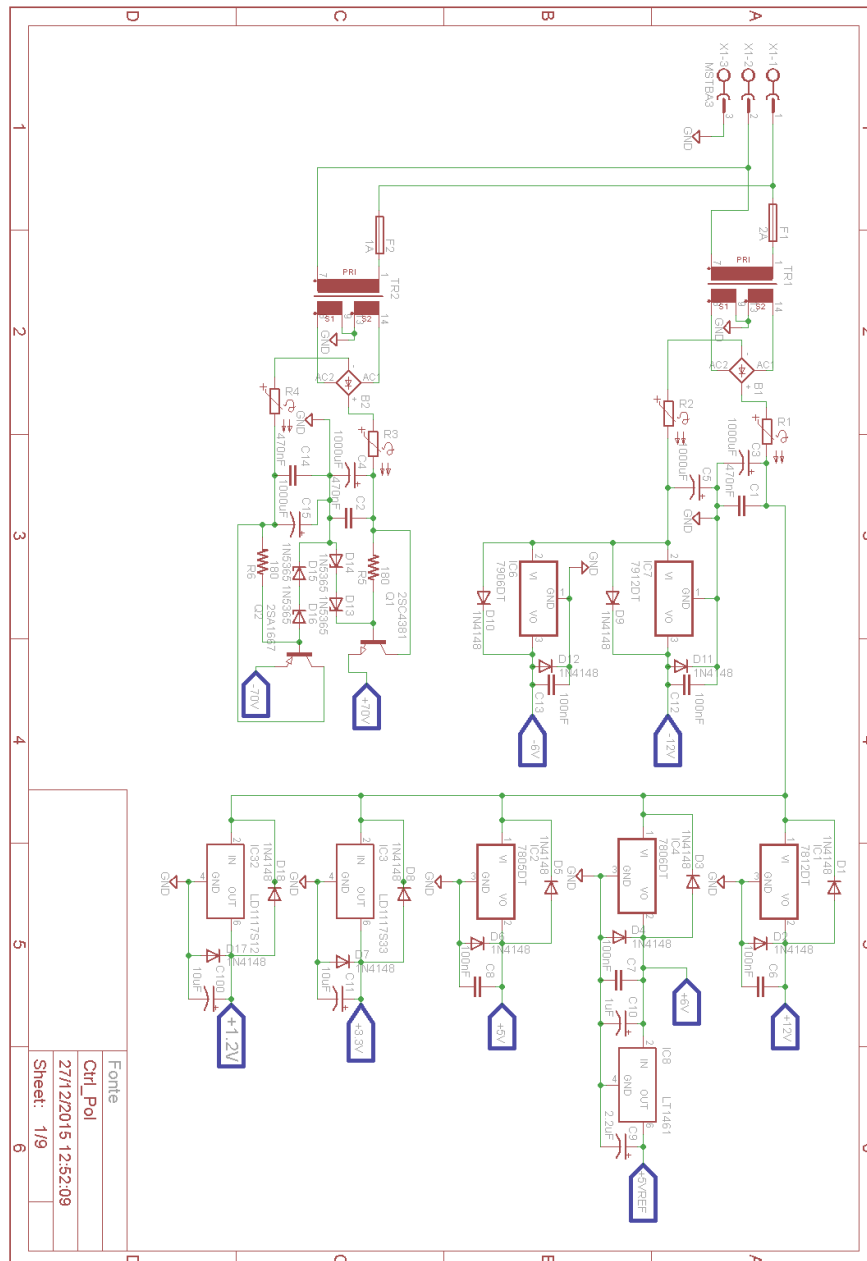
## 6. Referências

- [1] G. Keiser, Optical Fiber Communications, McGraw-Hill, 2000.
- [2] A. Surabaya, Fast Endless Polarization Control for Optical Communication Systems, Paderborn: Tese Doutorado - Universidade de Paderborn, 2008.
- [3] J. B. Carvalho, Controle de Estado de Polarização da Luz em Sistemas Ópticos, Rio de Janeiro: Dissertação de Mestrado - Departamento de Engenharia Elétrica, PUC-Rio, 2012.
- [4] F. Calliari, Desenvolvimento de interface gráfica para análise do estado de polarização da luz através de plataforma FPGA, Rio de Janeiro: Projeto Graduação - Departamento de Engenharia Elétrica, PUC-RIO, 2014.
- [5] G. V. de Faria, Controle da polarização da luz em fibras ópticas monomodo e aplicações, Rio de Janeiro: Tese de Doutorado - Departamento de Engenharia Elétrica, PUC-RIO, 2009.
- [6] G. P. Temporão, Um Polarímetro de Baixo Custo, Rio de Janeiro, RJ: Dissertação de Mestrado - Departamento de Engenharia Elétrica, PUC-Rio, 2003.
- [7] Edmund Optics, "Understanding Waveplates," [Online]. Available: <http://www.edmundoptics.com/technical-resources-center/optics/understanding-waveplates/>. [Acesso em 03 11 2015].
- [8] "Multiple-Order Quartz Wave Plates," Newport Corporation, [Online]. Available: <http://www.newport.com/Multiple-Order-Quartz-Wave-Plates/141157/1033/info.aspx>. [Acesso em 23/11/2015].
- [9] General Photonics Corporation, PolaDetect (POD-001), General Photonics Corporation, Datasheet.
- [10] RP-Photonics, "RP-Photonics Encyclopedia," [Online]. Available: [https://www.rp-photonics.com/kerr\\_effect.html](https://www.rp-photonics.com/kerr_effect.html). [Acesso em 25 11 2015].
- [11] "What is a FPGA?," Xilinx, [Online]. Available: <http://www.xilinx.com/fpga/>. [Acesso em 03 11 2015].
- [12] "Field Programmable Gate Array (FPGA)," Xilinx, [Online]. Available: <http://www.xilinx.com/training/fpga/fpga-field-programmable-gate-array.htm>. [Acesso em 03 11 2015].
- [13] OpalKelly, XEM3005 User Manual, OpalKelly, Technical Report.
- [14] A. S. Sedra e K. C. Smith, Microeletrônica, 5ª ed., São Paulo, SP: Pearson Prentice Hall, 2007.
- [15] Analog Devices, AD8600, Analog Devices, Datasheet.
- [16] Texas Instruments, ADS805e, Texas Instruments, Datasheet.
- [17] Linear Technology, LTC6090-5, Linear Technology, Datasheet.
- [18] Sanken, 2SC4382, Sanken, Datasheet.
- [19] Sanken, 2SA1668, Sanken, Datasheet.

- [20]** Triad Magnetics, F120-300, Triad Magnetics, Datasheet.
- [21]** bel, PTC 0ZRM Series, bel, Datasheet.
- [22]** Semikron, SKB2, Semikron, Datasheet.
- [23]** Microsemi, 1N5365B, Microsemi, Datasheet.
- [24]** ST Electronics, "78XX," [Online]. Available:  
<http://www.st.com/web/en/resource/technical/document/datasheet/CD00000444.pdf>. [Acesso em 06/11/2015].
- [25]** ST Electronics, "79XX," [Online]. Available:  
<http://www.st.com/web/en/resource/technical/document/datasheet/CD00000450.pdf>. [Acesso em 06/11/2015].
- [26]** Linear Technology, LT1461, Linear Technology, Datasheet.
- [27]** ST Electronics, "LD1117," [Online]. Available:  
<http://www.st.com/web/en/resource/technical/document/datasheet/CD00000544.pdf>. [Acesso em 06/11/2015].
- [28]** Triad Magnetics, VPP24-830, Triad Magnetics, Datasheet.
- [29]** Analog Devices, ADA4610-4, Analog Devices, Datasheet.
- [30]** Burr-Brown, OPA37, Burr-Brown, Datasheet.
- [31]** Texas Instruments, DAC0800, Texas Instruments, datasheet.

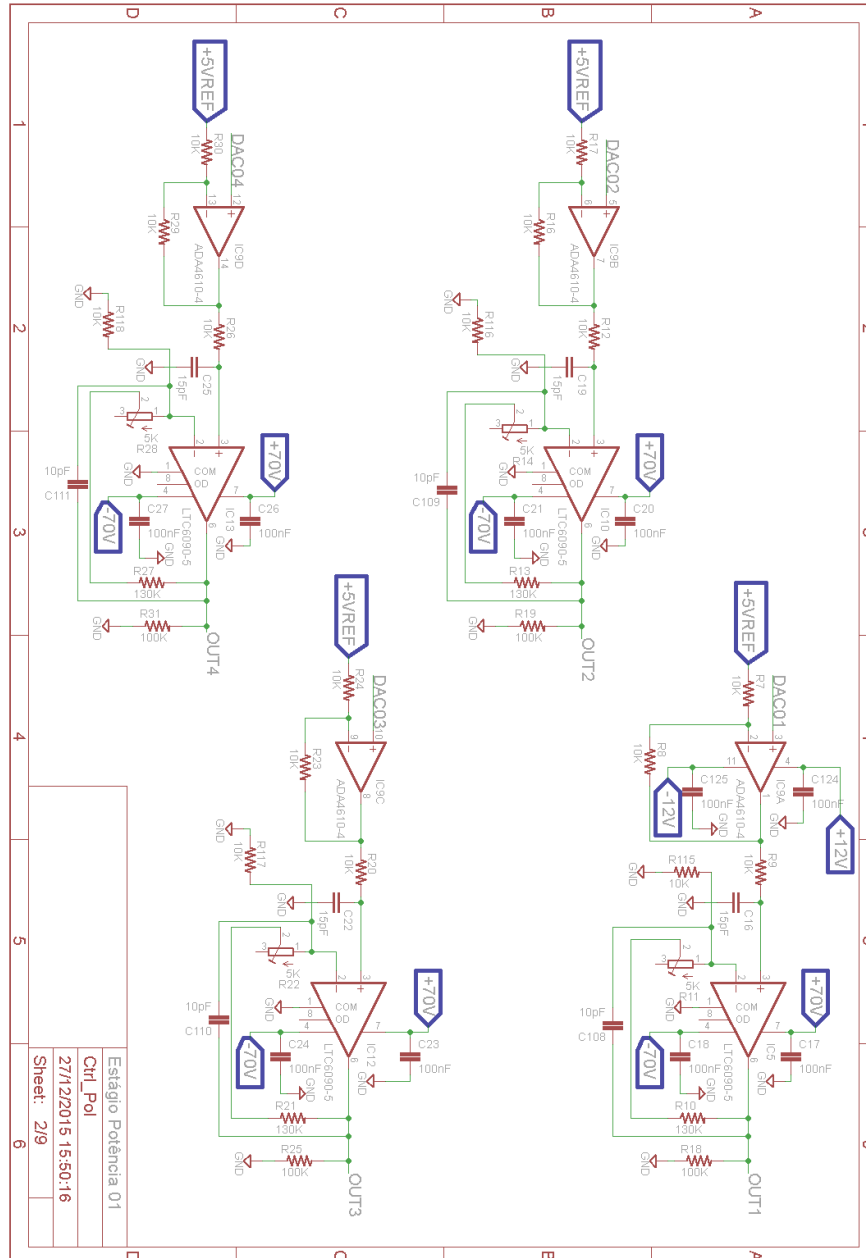
## 7. Anexos

### 7.1. Diagrama Elétrico Fontes

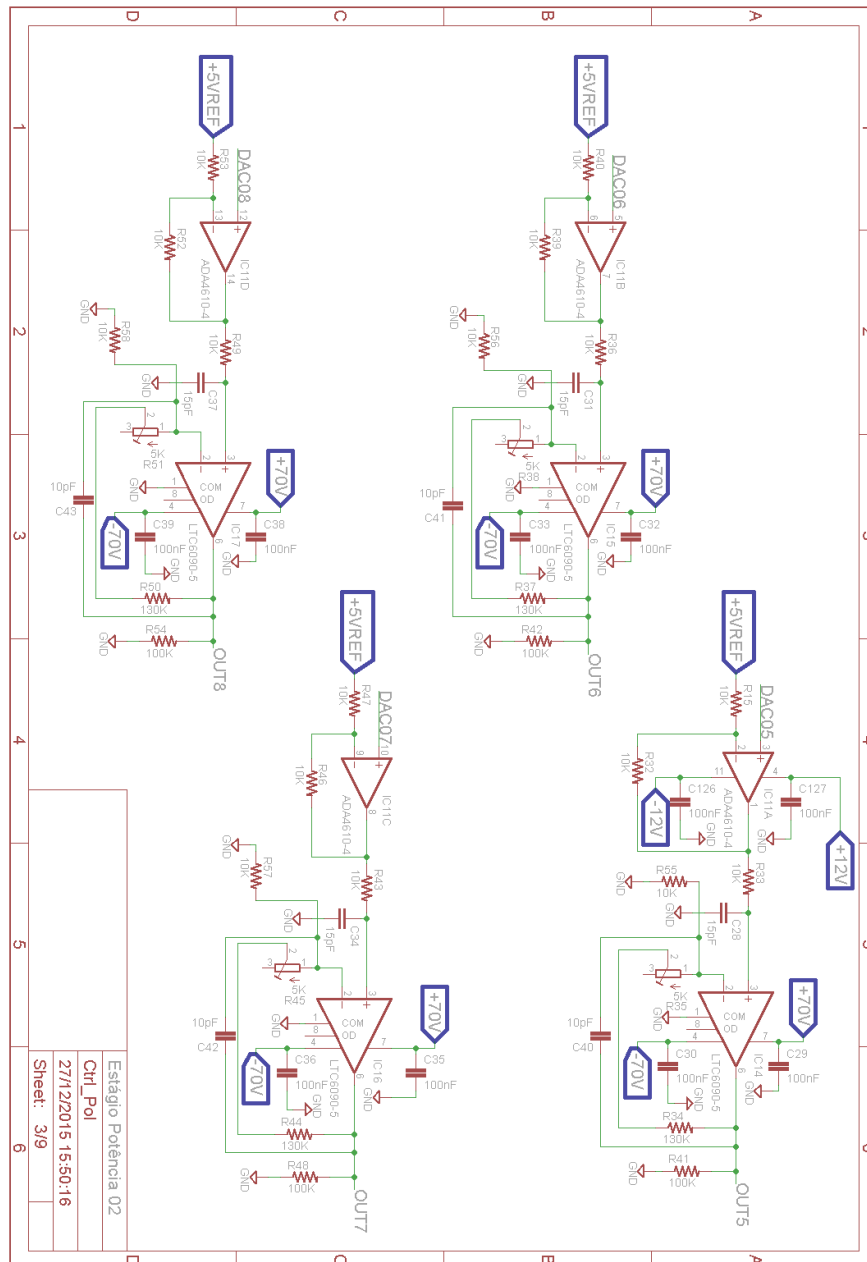


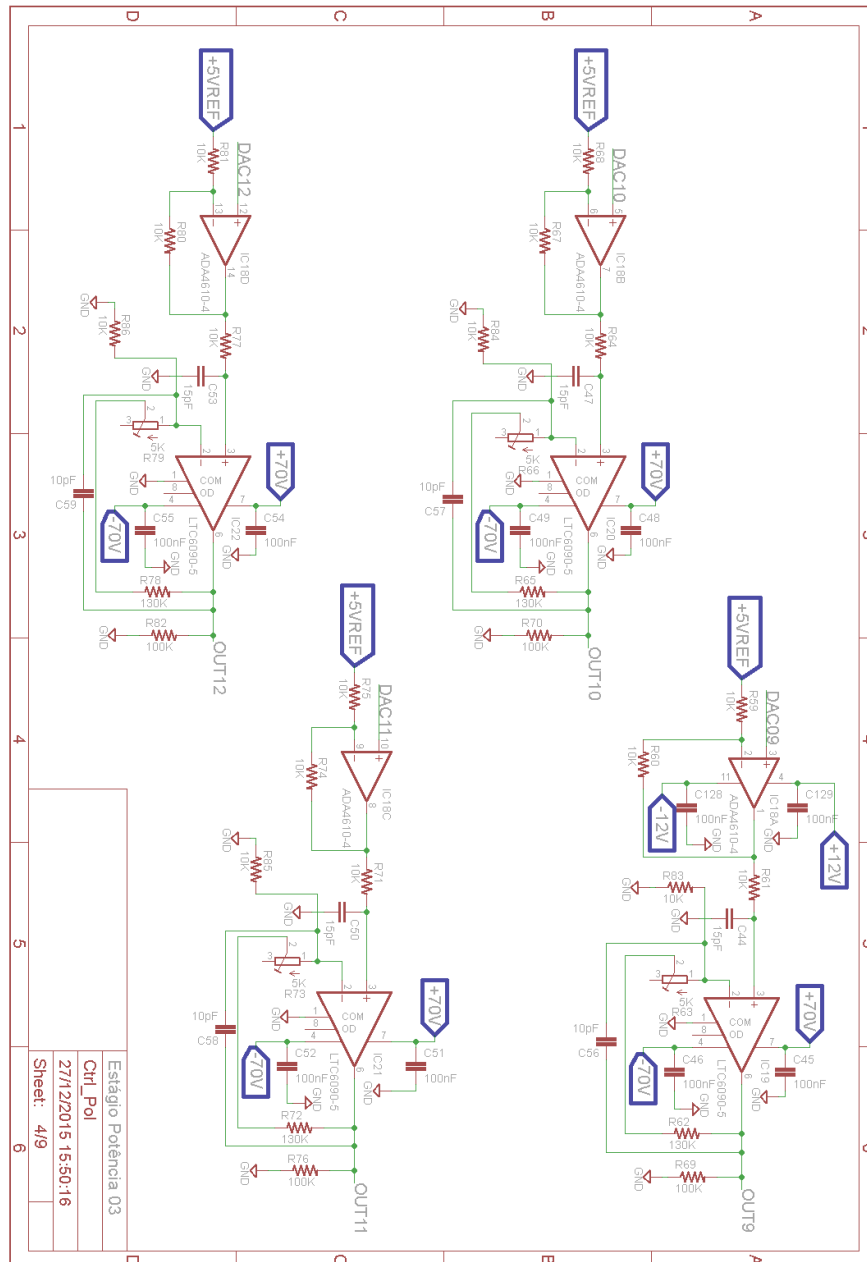


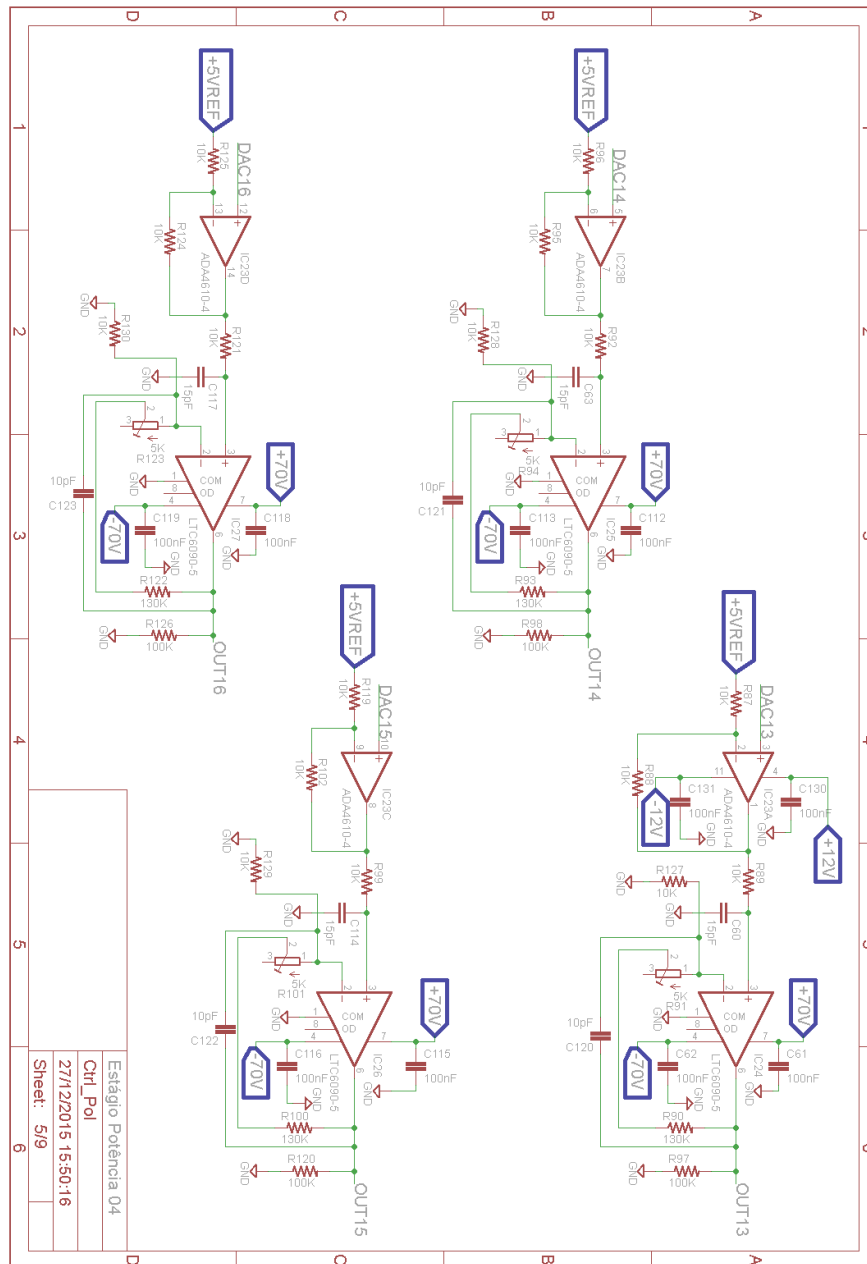
## 7.2. Diagrama Elétrico Estágio de Potência



Estágio Potência 01  
Ctrl\_Pol  
27/12/2015 15:50:16  
Sheet: 2/9

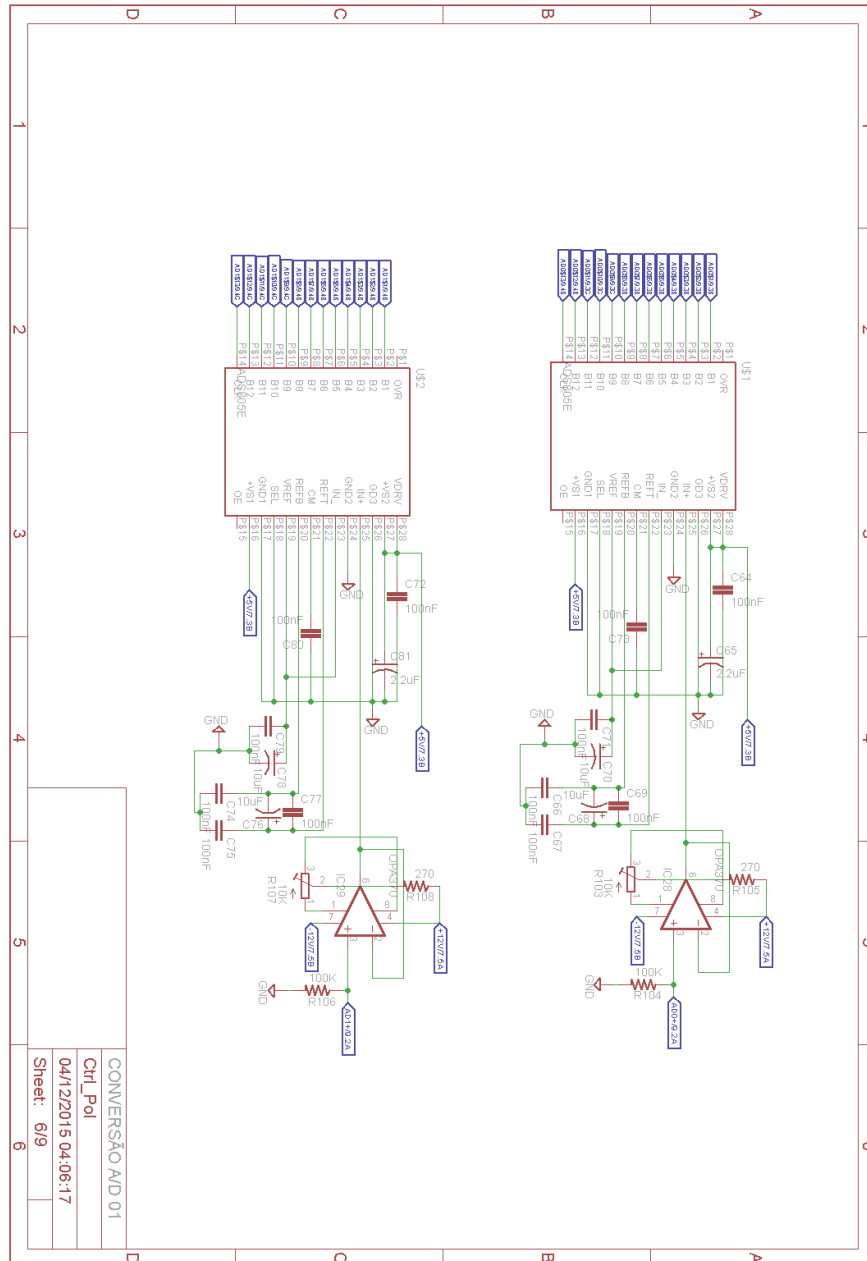




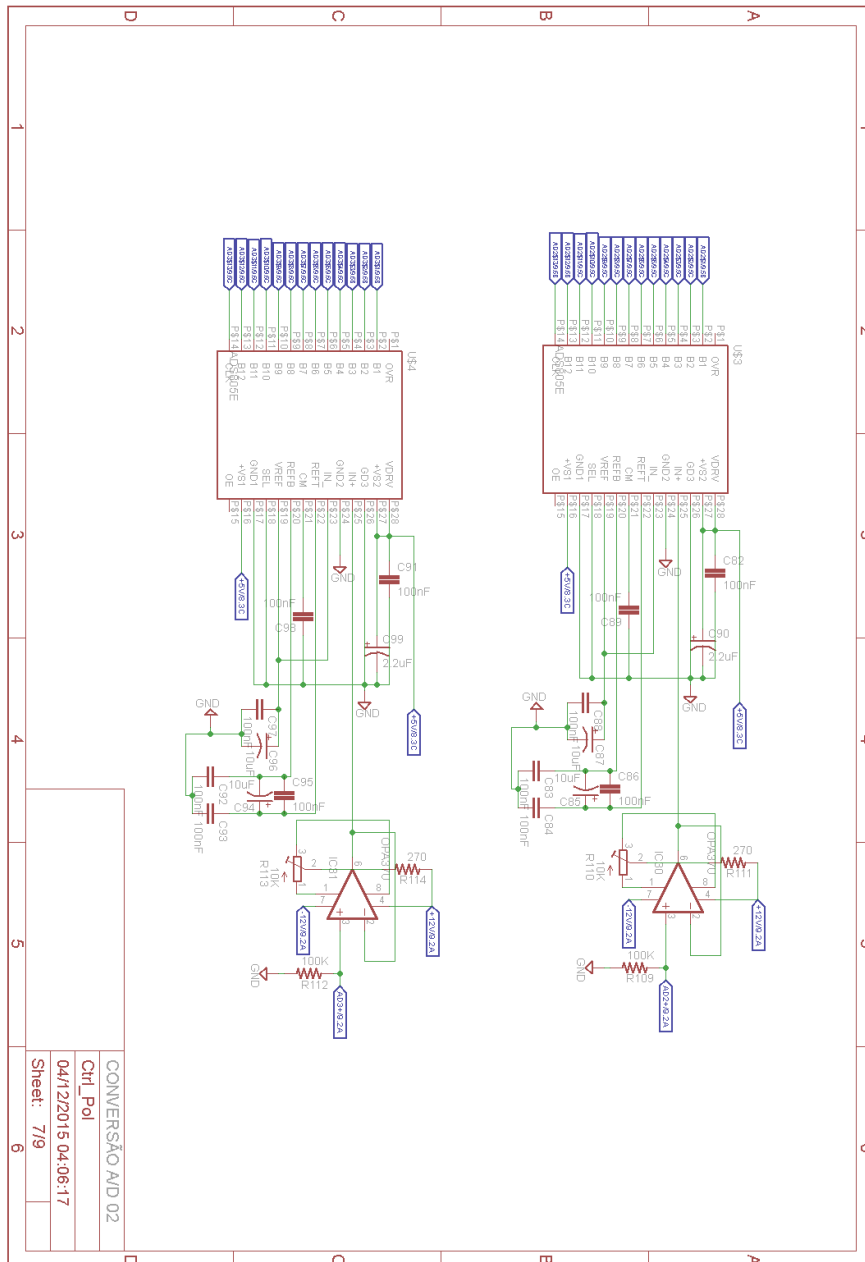


Estágio Potência 04  
Ctrl Pol  
27/12/2015 15:50:16  
Sheet: 5/9

### 7.3. Diagrama Elétrico ADC's

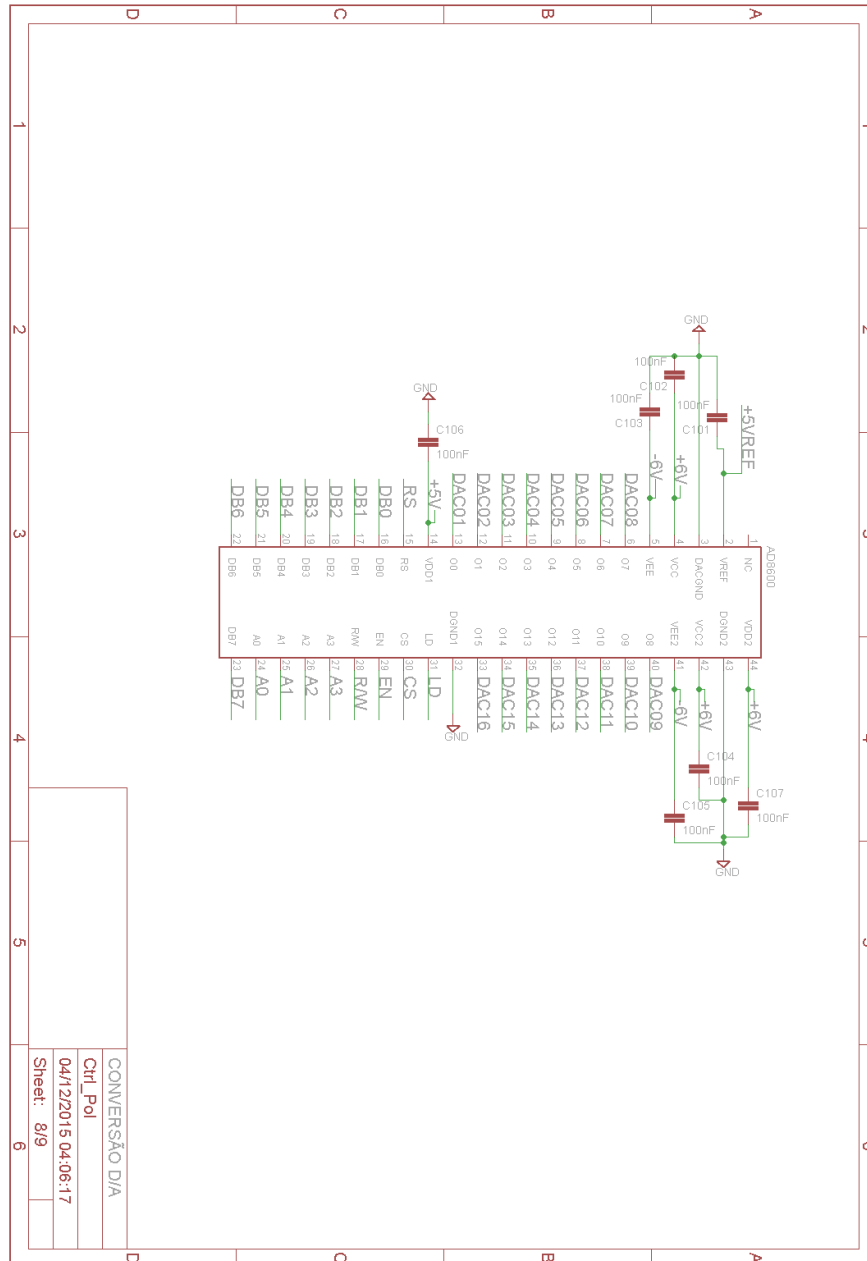


CONVERSÃO A/D 01  
Ctl\_Pol  
04/12/2015 04:06:17  
Sheet: 6/9



CONVERSÃO A/D 02  
Ctfl\_Pol  
04/12/2015 04:06:17  
Sheet: 7/9

## 7.4. Diagrama Elétrico DAC



## 7.5. Diagrama Elétrico da Pinagem dos Conectores

