

7 Comentários finais e conclusões

No presente capítulo, os principais pontos desenvolvidos são lembrados e os resultados finais obtidos neste trabalho de tese são ressaltados.

7.1. Observações finais

Foi visto que as atividades de Defesa Eletrônica demandam cada vez mais receptores capazes de lidar com sinais complexos (agilidade de frequência, codificação de fase, por exemplo) em uma banda de frequências extensa (2 a 18 GHz). Com o desenvolvimento da conversão analógico-digital e da capacidade de processamento digital, os receptores digitais têm se mostrado promissores. Porém, os conversores analógico-digitais (ADCs) são capazes de converter sinais em uma banda máxima de 1 GHz. Desta forma, os divisores de frequência podem exercer um papel importante nesta tarefa, pois estes são capazes de realizar uma compactação da banda de entrada, através do processo de divisão de frequência.

No capítulo 2 desta tese foram apresentados de forma sucinta os receptores aplicados em Defesa Eletrônica, bem como um exemplo de receptor digital de Defesa Eletrônica, onde divisores de frequência por dois são utilizados, como conversores de frequência.

No capítulo 3 foi discutido o processo de divisão de frequência e introduzidos os principais tipos de divisores de frequência empregados atualmente. É realizada, ainda, a escolha da topologia de divisor paramétrico balanceado de frequência por dois, para emprego nesta tese.

No capítulo 4 é apresentada uma metodologia de projeto de divisores de frequência proposta como objetivo desta tese, sendo aplicada tanto para circuitos baseados em ressoadores a linhas acopladas como a ressoadores a linha desacoplada. São realizados os projetos de 16 diferentes circuitos divisores de frequência, sendo que metade com linhas acopladas e a outra metade com linhas em série. Oito dos circuitos foram projetados sem casamento na entrada e o restante com casamento na entrada para a frequência máxima de entrada do

circuito. É importante ressaltar que, neste capítulo, é mostrado que qualquer tentativa de casamento do circuito de saída promove uma limitação na banda de operação do divisor de frequência, sendo esta uma das contribuições mais importantes desta tese.

No capítulo 5 são introduzidos os métodos não-lineares de simulação disponíveis, sendo discutidas as dificuldades inerentes encontradas. Assim, como dois exemplos de divisores de frequência (um regenerativo e outro paramétrico) são simulados e analisados.

No capítulo 6 são apresentados e analisados os resultados das simulações transientes dos circuitos projetados no capítulo 4, mostrando que de uma forma geral, que o casamento da entrada promove uma melhoria na sensibilidade, aliada a um aumento na banda de operação do divisor de frequência.

7.2. Análise comparativa dos resultados obtidos

Os resultados obtidos com os circuitos realizados nesta tese, já permitem a aplicação destes como conversores de frequência nos receptores de equipamentos de Contra-Medidas-Eletrônica, de forma especial, para Memórias Digitais de Rádio-Frequência (DRFMs).

Com relação a outros circuitos divisores relatados na literatura disponível, os realizados nesta tese apresentaram uma banda relativa de operação maior, quando a comparação é realizada para o mesmo nível de potência de entrada. A Tabela 29 apresenta um resumo comparativo com os divisores relatados na literatura disponível, sendo necessário reforçar que nesta tese o circuito transformador das saídas balanceadas em uma desbalanceada não foi realizado. Assim, os níveis de saída obtidos pelos circuitos neste trabalho devem ser acrescidos de 3 dB, para uma análise comparativa justa (esta correção não está presente nas tabelas fornecidas nesta tese). O divisor descrito em [91] opera numa banda de 1,2 GHz para 18 dBm de entrada, para 13 dBm de potência de entrada a banda alcançada é de 675 MHz, inferior àquela obtida (792 MHz) com o divisor#23 desta tese para o mesmo nível de potência, ou similar ao obtido com o divisor#20, que para 13 dBm de potência de entrada e V_{gs} igual a -1,7 V, opera de 2352 a 3012 MHz e ganho de conversão variando de -7 dB em 2352 MHz e 4 dB em 1440 MHz, melhor que o descrito em [91]. O divisor#7 apresentou um

desempenho melhor (maior banda) tanto quanto ao circuito divisor de frequência descrito em [90] como ao de [93 e 94]. O divisor#19 apresenta uma banda superior à descrita nas referências citadas anteriormente.

Tabela 29: Resumo comparativo dos divisores de frequência realizado com os relatados na literatura disponível.

| REFERÊNCIA | DISPOSITIVO | BANDA DE OPERAÇÃO DE ENTRADA (MHz) | GANHO (dB) |
|-------------|-------------|------------------------------------|------------|
| [90] | MESFET | 3545 a 3808 | 1,4 |
| [91] | MESFET | 10800 a 12000 | -9 |
| [93 e 94] | PHEMT | 1850 a 2050 | 13,5 |
| divisor #7 | PHEMT | 2304 a 2624 | 4 a 13 |
| divisor #19 | PHEMT | 2556 a 2864 | -3 a 8 |
| divisor #20 | PHEMT | 2380 a 2892 | -12 a 7 |
| divisor #23 | PHEMT | 2436 a 3228 | -15 a 3 |

7.3. Principais resultados obtidos nesta tese

Pode-se, então, destacar como principais resultados da presente tese os seguintes itens:

- Foi apresentada e detalhada uma técnica de projeto evitando o casamento de impedância no estágio de saída dos divisores de frequência e favorecendo a geração de um modo ímpar no estágio de entrada dos mesmos;
- Através da técnica apresentada foram realizados vários circuitos com desempenho em muito casos superior aos verificados até o presente na literatura científica;
- A ferramenta computacional ADS foi estudada e adaptada para possibilitar que várias simulações fossem realizadas. Esta etapa constitui um resultado extremamente importante para futuras realizações e

- Nenhuma publicação científica consultada apresenta as técnicas de projeto de forma clara, detalhada e tão bem justificadas como na presente tese.

7.4. Principais dificuldades na realização desta tese

A primeira dificuldade foi ativar o software ADS para simulação dos circuitos, vencida esta barreira, o problema era adquirir um dispositivo ativo que o fabricante fornecesse o modelo não-linear e que fosse possível adquirir em pequenas quantidades. Foi necessário utilizar-se a estrutura do LabSem da PUC-Rio. Entretanto, as dimensões dos circuitos a serem realizados ficaram restritas a uma circunferência de 12 cm de diâmetro com perda de precisão no processo de foto sensibilização. Uma barreira foi o alto custo computacional da simulação transiente, que exige, também, uma memória RAM de grande tamanho. Um problema sério foi o modelo não-linear do PHEMT fornecido pelo fabricante, que necessitaria de uma otimização que por si só seria um trabalho de proporções elevadas. Outro problema foi à impossibilidade de inclusão dos *pads* de acesso ao PHEMT e da via de aterramento no modelo, pois como a montagem foi artesanal, foi impossível manter um controle sobre as variáveis envolvidas (diâmetro do furo de passagem, condutividade e diâmetro do fio empregado na via de aterramento, ponto de soldagem deste), numa montagem profissional estes parâmetros estariam sob controle e poderiam ser modelados e acrescentados ao circuito. Verificou-se, ainda, que as parasitas do dispositivo encapsulado limitavam o desempenho deste, em especial devido ao peso da capacitância não-linear C_{gs} associada à junção de entrada do PHEMT ser menor que a devida as parasitas, na capacitância total apresentada pelo dispositivo. Qualquer trabalho futuro deve prever o uso de PHEMTs com um encapsulamento cujas parasitas ofereçam uma contribuição menor.

7.5. Desenvolvimento futuros

A partir deste trabalho, futuros desenvolvimentos podem ser propostos como, por exemplo, os expostos a seguir:

- Otimização dos modelos não-lineares de dispositivos ativos com vistas a melhor descrever tanto o comportamento a pequenos sinais quanto a grandes sinais;
- Realização de um balun em banda larga para emprego como transformador das saídas balanceadas em uma desbalanceada;
- Realização de um circuito com um PHEMT com uma frequência de operação mais elevada, de forma, a permitir um maior ganho de conversão;
- Realização destes circuitos em uma faixa de frequências mais elevada, para viabilizar o emprego em receptores de Defesa Eletrônica;
- Realização em substratos de microondas de menor espessura e maior permissividade dielétrica para realização de ressoadores de fator de qualidade (Q) mais elevado, permitido, desta forma, uma melhoria a banda de operação e
- Realização destes circuitos em tecnologia MMIC.