

5 - MÓDULO CONTROLADOR DE ENTRADA E SAÍDA

5.1 - Arquitetura

Pelas diversas razões já expostas, procurou-se também manter a modularidade a nível dos controladores de periféricos. Assim é que, ao desenhá-los concentrou-se na idéia de construí-los o mais semelhantes possível. Esta é a razão porque eles foram subdivididos em dois outros módulos: um, que se decidiu chamar módulo padrão, sempre igual para todo e qualquer dispositivo de entrada e saída; outro específico, ou seja, projetado conforme exigido pelo dispositivo a ser conectado.

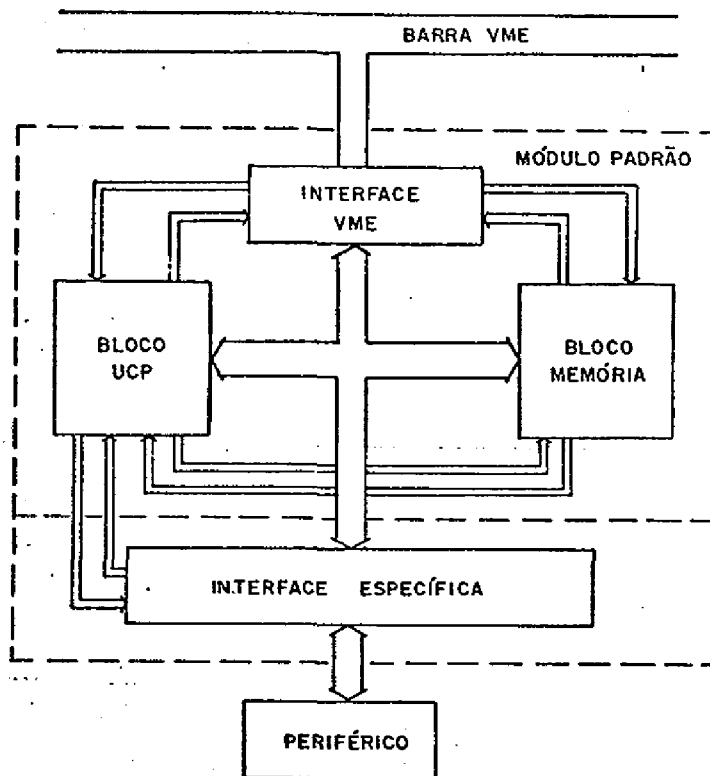


Figura 5.1: Diagrama em blocos do módulo controlador

O módulo padrão é baseado em um microprocessador de 8 bits possuindo 64 Kbytes de memória local. Sua arquitetura pode ser descrita, como mostra a figura 5.1, em termos de três blocos lógicos:

- bloco UCP,
- bloco memória,
- interface VME.

O bloco UCP inclui, além da unidade de processamento local, um temporizador, dois canais seriais e um controlador de acesso direto à memória possibilitando transferências rápidas entre interface específica (dispositivo periférico) e módulo padrão. Em modo normal de operação a unidade de processamento dispõe apenas de memória do tipo volátil e executa programas carregados pelos MP's através da barra VME. Para facilitar testes em bancada e manutenção, também foram incluídos no bloco UCP circuitos que transformam o controlador de entrada e saída em um microcomputador contido numa só placa, capaz de operar sem a presença de módulos processadores. No chamado modo teste de operação, a UCP tem acesso a um programa monitor em memória EPROM e utiliza um dos dois canais seriais para ligar-se a um terminal de vídeo.

Para que seja possível a comunicação, pelo método de memória comum, entre controladores e MP's, a memória do módulo padrão é de duplo acesso fazendo parte do espaço de endereçamento tanto da UCP local quanto dos módulos processadores externos. Pedidos de tarefas e parâmetros associados são enviados aos controladores por meio de mensagens escritas no bloco memória. Os módulos de entrada e saída, passivos em relação à barra VME, executam os comandos recebidos e colocam na memória duplo acesso os resultados obtidos para que os MP's possam transferi-los. Os acessos dos módulos processadores são realizados colocando a UCP local em estado de alta impedância ("hold").

A interface VME é típica de um módulo escravo:

verifica, através de decodificação de endereços e sinais de controle na barra, se o ciclo de transferência externo se destina à memória local. A posição que o controlador ocupa no espaço de endereçamento dos módulos processadores é estabelecida por um endereço base configurável.

A arquitetura da interface específica depende, obviamente, do dispositivo físico. No caso de discos flexíveis, a interface desenvolvida basicamente se resume num controlador integrado que suporta discos de 8" ou 5"1/4, com densidade simples ou dupla, de uma ou duas faces.

5.2 - Hardware

5.2.1 - Módulo Padrão

Segue uma descrição do módulo padrão a nível dos circuitos que implementam os três blocos lógicos apresentados na figura 5.1.

- Bloco UCP

Este bloco é responsável pelo controle geral do módulo de entrada e saída dando início às operações, direcionando as transferências de dados e gerando os sinais necessários à execução das tarefas pedidas pelos módulos processadores. Os principais circuitos e componentes são:

- unidade de processamento;
- controlador de acesso direto à memória (DMA);
- temporizador;
- circuito de decodificação;
- portas de controle;
- interface serial;
- memória EPROM e RAM de rascunho.

Como mostra a figura 5.2, o processador utilizado é o Z80A CPU da Zilog com organização de 8 bits, capacidade de endereçamento de 64 Kbytes e frequência de relógio de 4MHz.

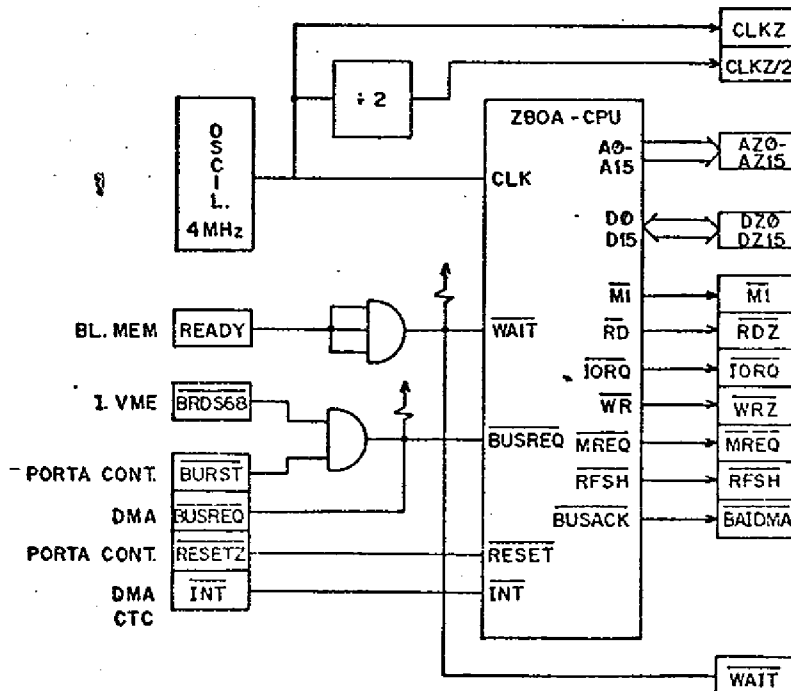


Figura 5.2: Z80A CPU no módulo padrão

A UCP admite dois sinais de pedido de interrupção: NMI, interrupção não mascarável de mais alta prioridade; e INT que pode operar em modo vetorado ou não. No módulo padrão fez-se uso apenas da interrupção INT, cujos pedidos podem ser gerados pelo controlador de acesso direto à memória, pelo temporizador e, caso haja necessidade, também pela interface específica. A prioridade é dada por uma cadeia do tipo "daisy chain", estabelecida pelos sinais IEI e IEO. Estes foram ligados de maneira a dar maior prioridade aos pedidos do temporizador, em segundo lugar ao controlador de DMA e por último à interface específica.

O sinal BUSREQ serve para forçar a barra de endereço, barra de dados e barra de controle ao estado de alta impedância e é utilizado no módulo padrão não só para transferências rápidas,

através do processo de acesso direto à memória, mas também como forma de colocar a UCP local em estado inativo durante os acessos dos módulos processadores. Se um módulo externo deseja utilizar a memória, a interface VME aciona o sinal BUSREQ e o MP permanece em estado de espera até que a UCP local sinalize a liberação da barra ativando o sinal BUSACK. Assim que o acesso externo termina, a UCP volta ao estado ativo. A prioridade dos pedidos de barra também é estabelecida por uma cadeia "daisy chain" que, através de determinada ordem de ligação dos sinais BAI e BAO, dá preferência ao controlador de DMA em relação aos módulos processadores.

O controlador de acesso direto à memória Z80A DMA (figura 5.3), também da Zilog, tem como função básica realizar transferências de blocos de dados sem a interferência da UCP e, portanto, rápidas. As operações podem ser de memória a memória, mas o principal objetivo é possibilitar transferências entre interface específica e memória. Além de mover dados, o controlador é capaz de compará-los com um registro interno previamente programado.

A entrada CE/WAIT do DMA exerce função dupla: serve para selecionar o controlador, quando este está sendo programado e não tem controle da barra (BAI BAO = 00,10, ou 11), ou para colocá-lo em estado de espera quando está movendo dados (BAI BAO = 01). Daí a necessidade de um multiplexador externo.

O temporizador Z80A CTC possui quatro canais independentes que também podem ser programados como contadores. Um dos canais divide o relógio da UCP para gerar a taxa de transferência serial. Outro pode ser utilizado pela interface específica para interromper a UCP, aproveitando a capacidade do CTC de gerar vetores de interrupção.

A interface serial, denominada Z80A DART, com dois canais assíncronos "full duplex", pode operar com taxas de até 800 kbits/seg. O módulo padrão, quando no modo teste, utiliza o canal B, no sistema de "polling", para comunicação com um

terminal de vídeo. Para este canal, a transmissão está sempre habilitada pois o sinal RTS ("request to send") se liga diretamente ao CTS ("clear to send").

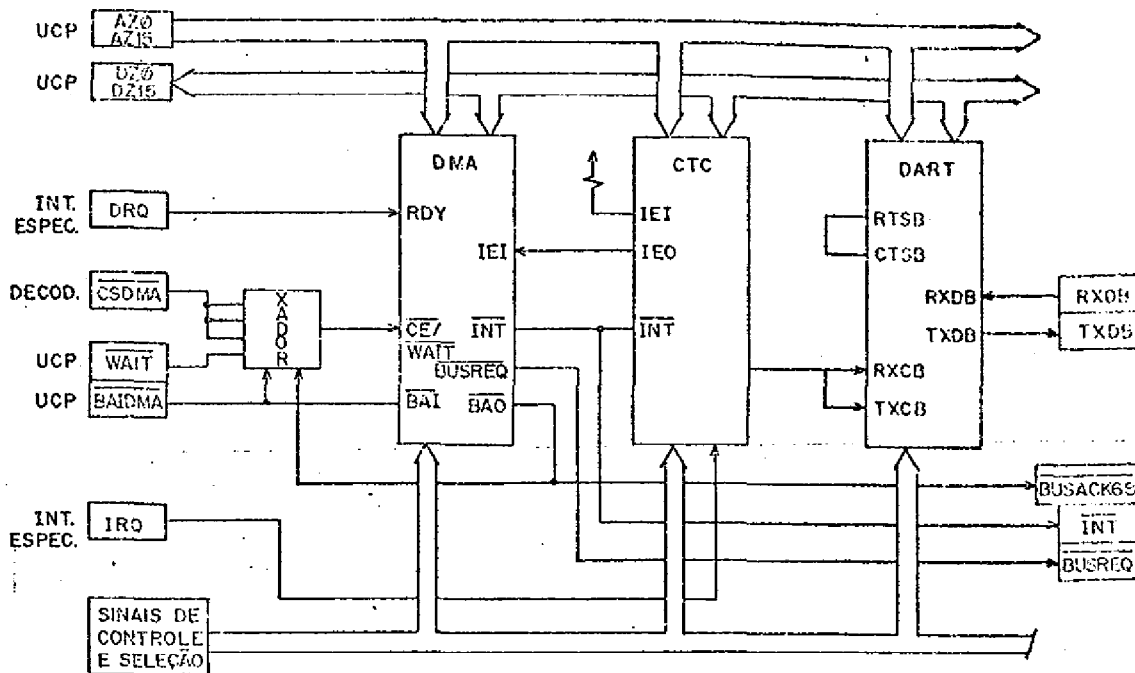


Figura 5.3: Z80A DMA, CTC e DART no módulo padrão

Chama-se de portas de controle os dois "flip flops" da figura 5.4 que, sob comando dos módulos processadores, colocam a UCP em estado de "reset" e alta impedância. Os MP's não só podem escrever nestas portas como podem lê-las através dos bits 0 e 1 da barra de dados. O estado inicial destes "flip flops", quando a máquina é ligada, depende da posição de CH1, uma das duas chaves que configuram o módulo controlador para modo normal ou modo teste de operação (a outra atua sobre o circuito de decodificação).

No modo normal, a UCP, após ser alimentada, é mantida em "reset" até que um MP, transferindo para o controlador o programa a ser executado, libere-a. Em qualquer momento, no entanto, o módulo processador pode tornar a ativar o "flip flop" de "reset". O outro "flip flop" é acionado quando o MP deseja

transferir blocos de dados de maneira indivisível, mantendo a UCP local em alta impedância, para que esta não possa alterar a memória, até que todo o bloco tenha sido movido.

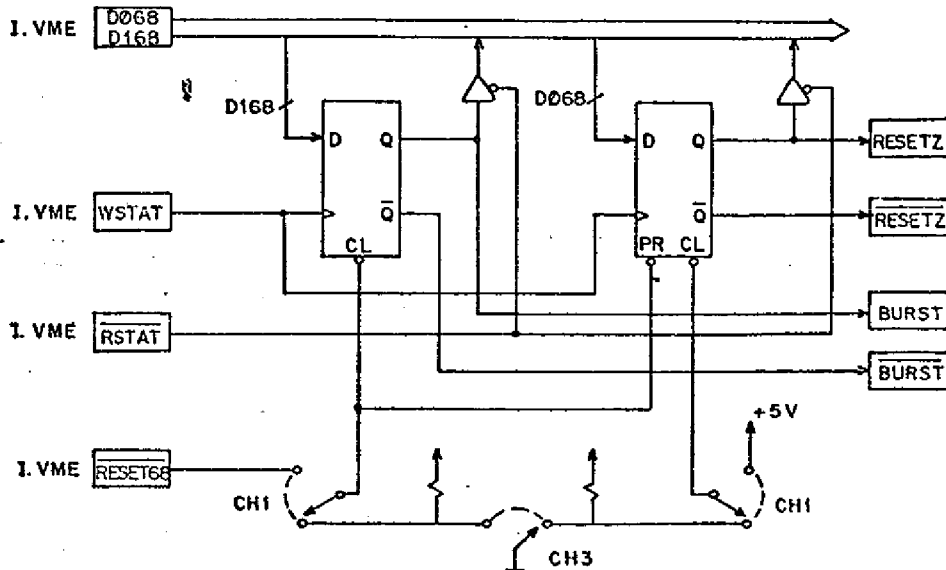


Figura 5.4: Portas de controle do módulo padrão

No modo teste, com a ausência de módulos processadores, estas portas de controle perdem a finalidade. Por isto, o estado inicial é indefinido e o sinal de "reset", mesmo quando a fonte é ligada, é controlado manualmente pela chave CH3. Se, no entanto, algum MP estiver presente, ele pode fazer uso das portas como no modo normal, porém, deve também garantir o estado inicial apropriado.

Nos ciclos de memória, o circuito de decodificação, apresentado na figura 5.5, gera sinais de seleção para a EPROM, RAM estática ou RAM dinâmica conforme o endereço gerado pela UCP e a posição da chave CH2 (aberta = modo normal, fechada = modo teste). Através da porta PHANTOM, a UCP, no modo teste, pode estabelecer se o primeiro bloco de memória é composto de EPROM e RAM estática ou de RAM dinâmica. O espaço de endereçamento fica então dividido como na tabela 5.1.

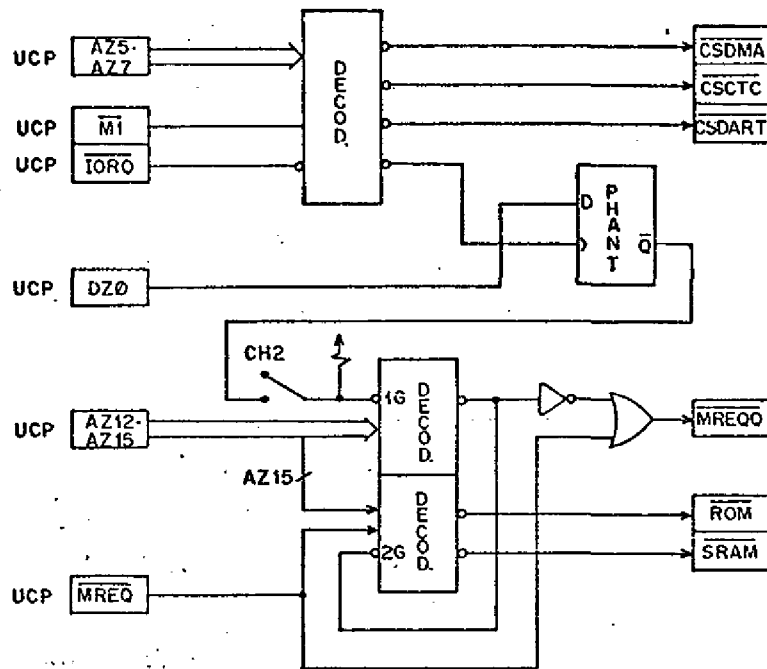


Figura 5.5: Circuito de decodificação do módulo padrão

Endereço	Chave CH2	Porta PHANTOM	Memória
0000-0FFF	fechada	0	EPROM
1000-1FFF	fechada	0	SRAM
0000-1FFF	fechada	1	DRAM
0000-1FFF	aberta	X	DRAM
2000-FFFF	X	X	DRAM

Tabela 5.1: Endereçamento de memória no módulo padrão

Nos ciclos de entrada e saída, o circuito de decodificação seleciona as diversas portas como na tabela 5.2.

Endereço	Porta	Entrada(E)/Saída(S)	Bits de dados
00-1F	DMA	E/S	0 - 7
20-3F	CTC	E/S	0 - 7
40-5F	DART	E/S	0 - 7
60-7F	PHANTOM	S	0

Tabela 5.2: Endereçamento de portas de E/S no módulo padrão

O módulo controlador possui 4 Kbytes de memória EPROM (2732) e 2 Kbytes de RAM estática (6116), utilizadas principalmente em testes de bancada para evitar carregamento de programas por módulos processadores. Com uma pequena modificação no circuito de decodificação é possível expandir a capacidade para 8 Kbytes de EPROM e 8 Kbytes de RAM estática.

-Bloco Memória Duplo Acesso

Dentre os circuitos que compõem o bloco memória do controlador de entrada e saída, a maioria se assemelha a circuitos do módulo processador. São eles:

- o circuito de controle,
- o circuito de refrescamento,
- o árbitro e
- o banco de memória com paridade.

O circuito de refrescamento, como no módulo processador, é constituído de um astável, que gera pedidos na frequência adequada, e de um contador, que fornece endereços sequenciais de linha de 0 a 255.

O árbitro, apresentado na figura 5.6, recebe pedidos de acesso à memória do circuito de refrescamento, do bloco UCP (MREQQ) e da interface VME (BRDS68), sendo que os dois últimos são sempre exclusivos. O pedido do módulo externo só chega ao árbitro depois que o sinal BUSACK68 é acionado indicando que a UCP local e o DMA estão no estado de alta impedância. Cabe então a este árbitro garantir a exclusividade entre os ciclos de refrescamento e os acessos normais de escrita e leitura, locais ou externos.

A lógica de arbitragem utilizada é a mesma do árbitro 2 do módulo processador e gera sinais para o circuito de controle e multiplexadores de endereço de forma análoga:

- o sinal RCY é ativado, no caso de refrescamento, para

indicar ao circuito de controle que apenas o sinal RAS deve ser enviado à memória, e para selecionar o endereço de linha fornecido pelo contador;

- o sinal MCY, sempre exclusivo a RCY, indica ao circuito de controle que os sinais RAS, ROWEN e CAS para um ciclo normal de leitura ou escrita devem ser gerados.

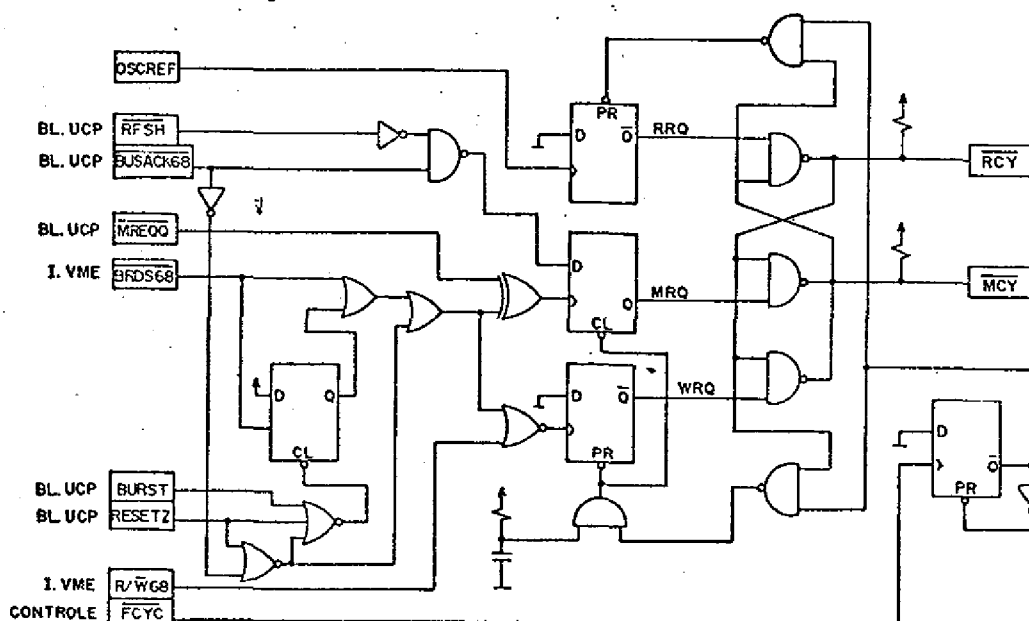


Figura 5.6: Arbitro do bloco memória

Se o acesso da UCP local coincide com um ciclo de refrescamento, o circuito de controle coloca-a em estado de espera ("wait"), através do sinal READY, até que seja possível concluir a leitura ou escrita.

O circuito de controle também é encarregado de gerar dois sinais para a interface VME: BERRPAR, ativado nos acessos de leitura com erro de paridade, e DTACKRAM, que sinaliza término de ciclo de memória ao módulo processador. A condição de erro fica armazenada na chamada porta de paridade e pode ser lida a qualquer instante pelo módulo externo, no bit 2 da barra de

dados, com o mesmo endereço das portas de controle do bloco UCP. Para limpar esta condição, basta escrever um dado qualquer na porta.

O banco de memória é organizado na forma 64K x 9 bits, oito de dados e um de paridade, utilizando pastilhas 4164 de 64K x 1. Só são possíveis acessos byte a byte, mesmo pelos módulos processadores que são capazes de aceitar larguras de 16 e 32 bits. Se o módulo controlador estiver ligado aos bits 0 a 7 da barra de dados VME, o módulo externo pode acessá-lo com endereços ímpares. Alternativamente, o controlador pode ser ligado aos bits 8 a 15 da barra VME, ocupando apenas posições pares. Neste caso, as portas de controle e paridade utilizam os bits 8, 9 e 10, respectivamente.

O endereço que chega ao banco de memória é gerado da seguinte forma:

- quatro "buffers", habilitados dois a dois, selecionam, conforme o tipo de acesso, o endereço gerado pela UCP local ou pelo módulo externo;
- dois multiplexadores selecionam endereço de linha ou coluna;
- dois multiplexadores selecionam endereço de linha de refrescamento ou endereço de linha de leitura e escrita.

No caso de leitura, os dados são armazenados num registrador para que a UCP local ou módulo externo possa amostrá-los. No caso de escrita, os dados passam à barra da memória através de um "buffer".

- Interface VME

Neste bloco encontram-se os "buffers" de recepção e transmissão necessários ao interfaceamento do controlador de E/S

com a barra VME. Conforme recomendação do manual de especificação VME, temos:

- "buffer" para os sinais de endereço A01 - A31 do tipo 74LS244;
- "buffer" para os sinais de controle AS*, DSO* e DS1*, WRITE*, IACK*, LWORD*, AM0 - AM5 do tipo 74LSXXX;
- "buffer" bidirecional de dados 74AS245;
- "driver" para os sinais BERR* e DTACK* do tipo coletor aberto 74S38.

Os endereços A17 a A31, e os sinais de controle AM0 - AM5, LWORD*, IACK* e AS* são decodificados de forma a gerar sinais de seleção para a memória, portas de controle e porta de paridade. Chaves do tipo "dip-switch" determinam a posição que a memória do controlador ocupa no espaço de endereçamento dos módulos processadores, estabelecendo um endereço base para o bloco de 64 kbytes (ver apêndice II). Este mesmo endereço base seleciona as portas de controle e paridade se o código em AM5 - AM0 indicar um acesso de E/S. Acessos com 24 ou 32 bits de endereço são permitidos.

O sinal DTACK para os acessos às portas de controle e paridade é gerado a partir de um retardo do próprio sinal de seleção.

A31-A24	A23-A17	AM5-AM0	Código AM5-AM0
end. base	end. base	011101	E/S, dado supervisor
end. base	end. base	011110	E/S, código supervisor
x	end. base	010101	E/S, dado supervisor
x	end. base	010110	E/S, código supervisor
end. base	end. base	001X01	memória, dado
end. base	end. base	001X10	memória, código
x	end. base	111X01	memória, dado
x	end. base	111X10	memória, código

Tabela 5.3: Endereçamento do módulo controlador por módulos externos

5.2.2 - Interface Especifica a Discos Flexíveis

O componente principal da interface para discos flexíveis é o controlador WD2797, fabricado pela Western Digital. O integrado suporta discos de 5"1/4 e 8", com densidade simples ou dupla, e ainda possui um separador de dados exigindo poucos circuitos externos adicionais.

A interface especifica também inclui:

- uma porta que configura o controlador para densidade simples ("0") ou dupla ("1");
- uma porta para selecionar o disco 0 ou o disco 1;
- uma porta (monoestável) que ativa os sinais de seleção, SEL0 e SEL1, no caso de discos de 8";
- um decodificador que estabelece os endereços base para o controlador, porta de seleção, monoestável de seleção e porta de densidade;
- um "buffer" bidirecional que permite a comunicação da interface com a UCP;
- um "flip flop" para dividir o relógio caso se queira utilizar discos de 5"1/4.

O WD2797 não espera pelo "head-load time" para prosseguir com a leitura ou escrita se, ao acionar o sinal HLD ("head load"), recebe indicação, através de HLT, que a cabeça já está ativada. Desta forma, as transferências de dados se tornam mais rápidas, porém, se faz necessário um monoestável "retrigavel" para gerar HLT (ver esquemático no apêndice IV).

O endereços de seleção das portas de entrada e saída da interface são mostrados na tabela 5.4.

Endereço	Porta	Entrada(E)/Saída(S)	Bits de dados
C0-C3	disco 0/1	S	0
C4-C7	densidade	S	0
C8-CB	WD2797	E/S	0 - 7
CC-CF	monoest.	E/S	X

Tabela 5.4: Endereçamento das portas da interface de discos flexíveis.

A escolha entre discos de 8" e 5"1/4 é feita por 8 chaves "dip-switch", CHD10 a CHD17, de acordo com a tabela 5.5.

Disco	Chaves abertas	Chaves Fechadas
5"1/4	0, 1, 2, 3	4, 5, 6, 7
8"	4, 5, 6, 7	0, 1, 2, 3

Tabela 5.5: Configuração das chaves da interface de discos flexíveis.

A interface para discos flexíveis utiliza o canal "0" do Z80A CTC para interromper a UCP, deixando a cargo do temporizador a geração do vetor de interrupção adequado.