

4 - HARDWARE DO PROCESSADOR DE 16 BITS

4.1 - Bloco UCP

Os seguintes circuitos implementam a arquitetura do bloco UCP:

- unidade central de processamento, MC68010;
- lógica de relógio, "reset", "timeout" e interrupção;
- unidade de gerenciamento de memória;
- circuitos de decodificação;
- "buffers" para a barra local;
- interface serial;
- EPROM e RAM de rascunho.

O MC68010 é um microprocessador com barra de dados externa de 16 bits porém com capacidade de realizar, internamente, operações de 32 bits. Possui 24 bits de endereço e utiliza o esquema de memória mapeada não tendo ciclos especiais para acessos de entrada e saída. Para facilitar estruturas de multiprocessamento, é capaz de testar e modificar uma variável, de maneira indivisível, com ciclos do tipo "read modify write". A figura 4.1 apresenta a UCP, seus sinais de entrada e saída, e os circuitos de "reset", relógio, interrupção e "timeout" do módulo processador.

A estrutura de barra é assíncrona, ou seja, as transferências de dados são realizadas seguindo um protocolo de comunicação utilizando os sinais AS, R/W, UDS, LDS, DTACK, BERR e HALT. Não há necessidade de um relógio comum para sincronizar os dispositivos mestre e escravo, permitindo assim que eles se comuniquem mesmo operando em velocidades diferentes. Neste método, o início de um ciclo de transferência é sinalizado pela UCP através da transição de descida de AS devidamente acompanhada de um endereço estável na barra. Os sinais UDS e LDS são ativados

para controlar, respectivamente, o fluxo de dados na barra alta (D15 a D8) e barra baixa (D7 a D0), conforme o tipo de ciclo, escrita ou leitura, e a largura de acesso, byte ou palavra. O dispositivo escravo, memória ou periférico, pode então responder à UCP de três formas:

- ativando DTACK, para terminar o ciclo, após ter colocado um dado válido na barra, no caso de leitura, ou ter armazenado o dado, no caso de escrita;
- ativando BERR ("bus error") indicando que houve um erro irrecuperável e que o ciclo deve ser abortado;
- ou ativando BERR e HALT ao mesmo tempo para que a UCP recomece o ciclo.

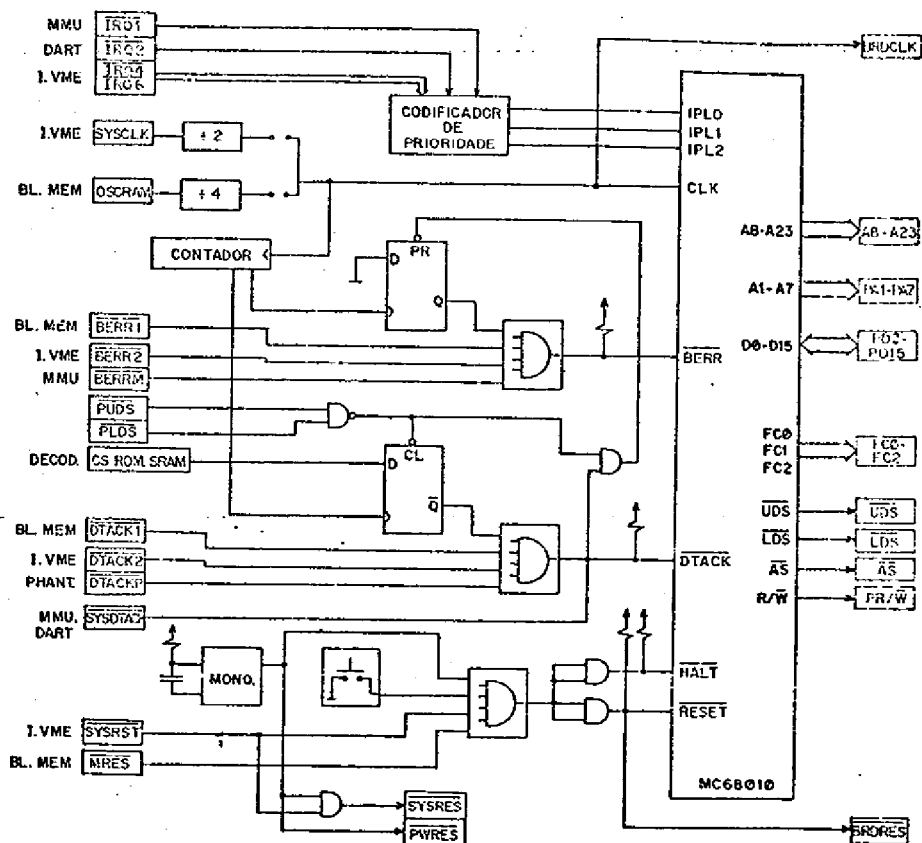


Figura 4.1: UCP MC68010 no módulo processador

No módulo processador, apenas os dois primeiros tipos de resposta são utilizados. Todos os circuitos internos ao módulo são capazes de gerar DTACK, a menos da EPROM e RAM estática cujos acessos são terminados por um contador que retira a UCP do estado de espera após um determinado número de ciclos de relógio. O mesmo contador ativa BERR se, depois de esgotado o tempo limite de 15 microsegundos ("timeout"), a UCP não recebe algum tipo de resposta. A MMU gera BERR para sinalizar "page fault" ou violação de proteção, e o bloco memória para indicar erro de paridade.

No caso de acessos externos a controladores inteligentes, módulos memória ou outros MP's, a UCP recebe os sinais de DTACK e BERR através da barra VME. Os sinais de resposta são previstos pelo padrão VME (ver apêndice I) porque este também segue uma estrutura assíncrona utilizando um protocolo de comunicação quase que idêntico ao da UCP 68010.

Ao receber o sinal BERR, assim como no caso de interrupção ou "reset", a unidade central entra no chamado estado de "processamento de exceção" onde é feita uma troca de contexto de maneira rápida e eficiente possibilitando o tratamento adequado a cada uma destas condições de anormalidade. Exceções também podem ser provocadas internamente por algumas instruções ou por certas condições de erro, tais como divisão por zero.

Assim que o sinal BERR é acionado, a instrução em execução é imediatamente interrompida e o processamento de exceção iniciado. O contexto armazenado na pilha é tal que, após a rotina de tratamento, a instrução pode ser continuada. Esta é uma característica de operação da UCP 68010 própria para a implementação de memória virtual pois permite o tratamento adequado dos "page faults". Ou seja, a execução de um processo pode ser suspensa momentaneamente, sem ser prejudicada, até que a página acessada seja transferida para a memória principal.

O microprocessador possui dois modos de operação, supervisor e usuário, que fornecem um mecanismo de proteção do sistema. O modo supervisor é utilizado pelo sistema operacional e

nele a UCP tem acesso a todos os recursos, sem restrições. Já os programas de aplicação são executados no modo usuário onde as operações são limitadas. Neste último, não são permitidas instruções como RESET e STOP, que tem efeitos importantes sobre outras partes do sistema, ou instruções que modificam o apontador de pilha e os registros internos de configuração da UCP (máscara de interrupção, modo de operação etc ...). Na tentativa de executar alguma das instruções proibidas, o processo usuário causa uma exceção de "instrução privilegiada" e o controle retorna ao sistema operacional.

Todas as exceções são processadas no modo supervisor e somente através delas a UCP pode sair do modo usuário. Isto garante que o programa de aplicação tem acesso ao modo supervisor sempre de forma controlada. A instrução de "supervisor call", causando uma exceção interna não indicativa de erro ou violação, permite que o processo usuário requisite serviços do sistema operacional.

Externamente, o modo de operação é indicado, em cada acesso, pelos sinais de código de função, FC0 a FC2, e assim o espaço de endereçamento fica dividido como na tabela 4.1. No modo supervisor, a UCP pode também acessar o espaço usuário pois tem a capacidade de forçar o código de função apropriado nas saídas FC0 a FC2.

FC2	FC1	FC0	Espaço lógico
0	0	0	indefinido
0	0	1	dado do usuário
0	1	0	código do usuário
0	1	1	indefinido
1	0	0	indefinido
1	0	1	dado do supervisor
1	1	0	código do supervisor
1	1	1	reconhecimento de interrupção

Tabela 4.1: Códigos de função da UCP MC68010

No módulo processador, o sinal de "reset" da UCP pode ser acionado por uma chave no painel frontal, pelo "reset" da barra VME (SYSRST*) ou ainda por uma porta, comandada pelos processadores de 32 bits, que faz parte do bloco memória. Quando a máquina é ligada, o "reset" é gerado por um monoestável, garantindo o tempo necessário para estabilização da fonte e relógio.

As entradas IPLO, IPL1 e IPL2 indicam à UCP o nível de prioridade da interrupção requisitada. A MMU, com mais baixa prioridade, utiliza o nível 1 e é seguida pela interface serial que tem prioridade 2. As interrupções de níveis 4, 5 e 6, ligadas à barra VME, são reservadas a módulos externos.

A UCP pode operar a uma frequência de 8 MHz, com o relógio gerado a partir do sinal SYSCLK de 16 MHz proveniente de um módulo externo, ou pode operar a 7,5 MHz, frequência obtida do oscilador de 30 MHz do bloco memória. A segunda opção permite que em configurações simples o uso do módulo gerador de relógio seja dispensado. Além disto, a manutenção é facilitada, já que o funcionamento do módulo processador, neste aspecto, se torna independente de outros módulos.

A MMU, MC68451, permite o gerenciamento pelo sistema operacional de um espaço físico de 16 Mbytes possibilitando a subdivisão do mesmo em até 32 segmentos ou páginas e relocando programas dinamicamente. Além de transformar endereços lógicos em endereços físicos, a unidade de gerenciamento oferece mecanismos de proteção de memória e sinaliza "page faults".

Como mostra a figura 4.2, a relocação é baseada em um processo de mapeamento de endereços e códigos de função que utiliza duas tabelas. A primeira é endereçada pelos sinais FC0 a FC2 e contém os números das tarefas ativas em cada espaço lógico. A segunda é uma tabela associativa ("translation look aside buffer") formada por 32 descritores, cada um definindo um segmento ou página de memória.

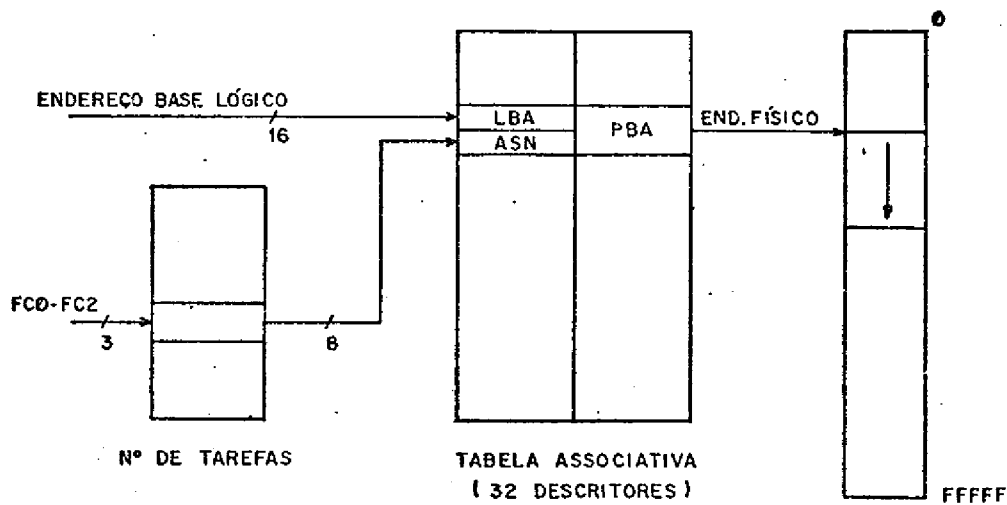


Figura 4.2: Processo de mapeamento da MMU MC68451

Um descritor é um conjunto de seis registradores que armazenam:

- endereço base lógico com 16 bits (LBA);
- máscara de endereço lógico (LAM) estabelecendo o tamanho do segmento (mínimo de 256 bytes);
- número de tarefa associada ao segmento (ASN);
- máscara de número de tarefa (ASM);
- endereço base físico com 16 bits (PBA);
- informações de "status", utilizadas na implementação de memória virtual, que indicam se o segmento foi acessado ou modificado;
- bits de controle que incluem proteção de escrita e habilitação do segmento.

Em cada acesso, os 16 bits mais significativos do

endereço gerado pela UCP são comparados com o endereço base lógico de todos os descritores, nas posições determinadas pelas respectivas máscaras. O mesmo é feito com o número de tarefa gerado pela primeira tabela. O descritor que apresenta coincidência tanto de endereço lógico como de número de tarefa fornece então o endereço base físico para a conversão. Se não houver coincidência em nenhum dos descritores habilitados, um "page fault" é gerado.

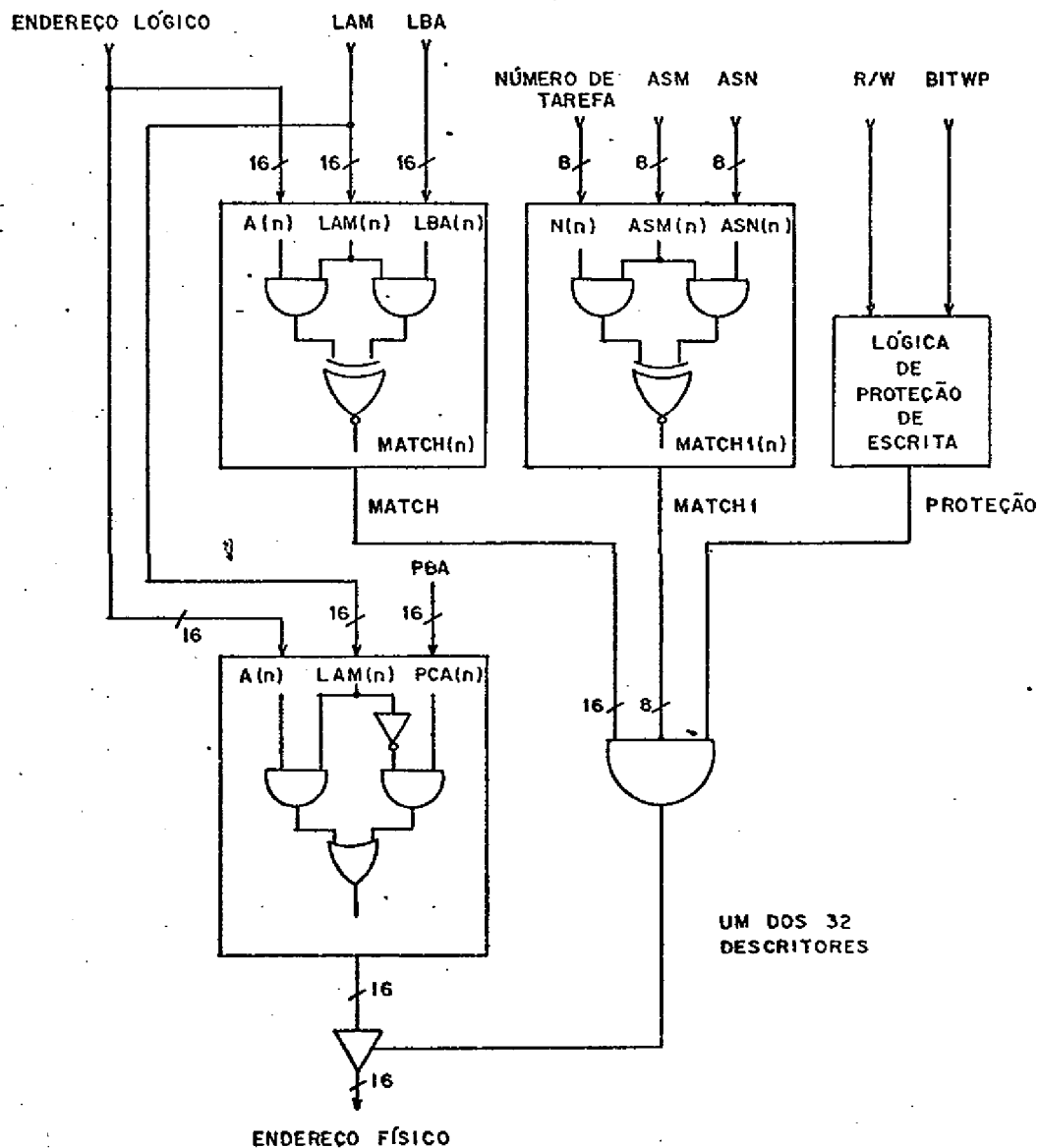


Figura 4.3: Formação do endereço base físico

A proteção de memória, no que diz respeito ao acesso de um processo à área do sistema operacional ou à área de outro processo, é obtida através da tabela de números de tarefas que estabelece um, e apenas um, processo ativo em cada espaço lógico, supervisor ou usuário. Para proteger um segmento de acessos de escrita, basta a UCP ativar o bit WP no registro de controle do descritor correspondente. O sinal BERR é acionado se um processo tenta escrever no segmento protegido.

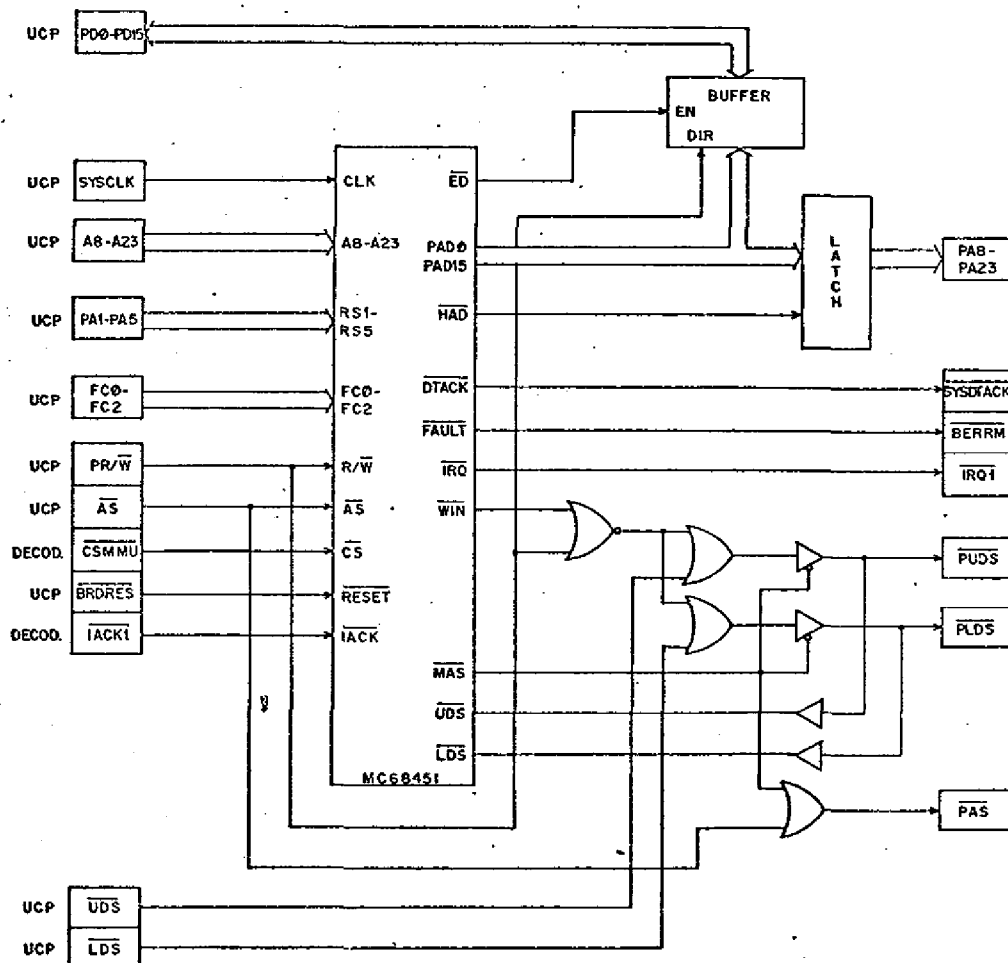


Figura 4.4: MMU MC68451 no módulo processador

Para a operação adequada da unidade de gerenciamento, são necessários alguns circuitos externos como pode ser visto na figura 4.4. A MMU possui estrutura de barra multiplexada e por isto o endereço físico gerado deve ser armazenado na transição de

descida do sinal HAD. Pelo mesmo motivo, são utilizados dois "buffers" bidirecionais para ligação da MMU à barra de dados da UCP. A partir do sinal MAS e de uma lógica combinacional simples, os sinais da UCP, AS, UDS e LDS, são retardados o tempo suficiente para a conversão do endereço lógico em endereço físico e são então transmitidos às outras partes do módulo processador com os nomes PAS, PUDS e PLDS.

Os endereços físicos e o sinal PAS entram no circuito de decodificação para gerar os sinais de seleção dos diversos dispositivos internos ou externos ao módulo. A porta PHANTOM, sob comando da UCP, determina se a parte inicial do espaço de endereçamento é ocupada por memória EPROM e RAM estática ou por RAM dinâmica. Para escrever nesta porta, a UCP utiliza o bit 0 da barra de dados. A figura 4.5 apresenta a distribuição do espaço físico de 16 Mbytes.

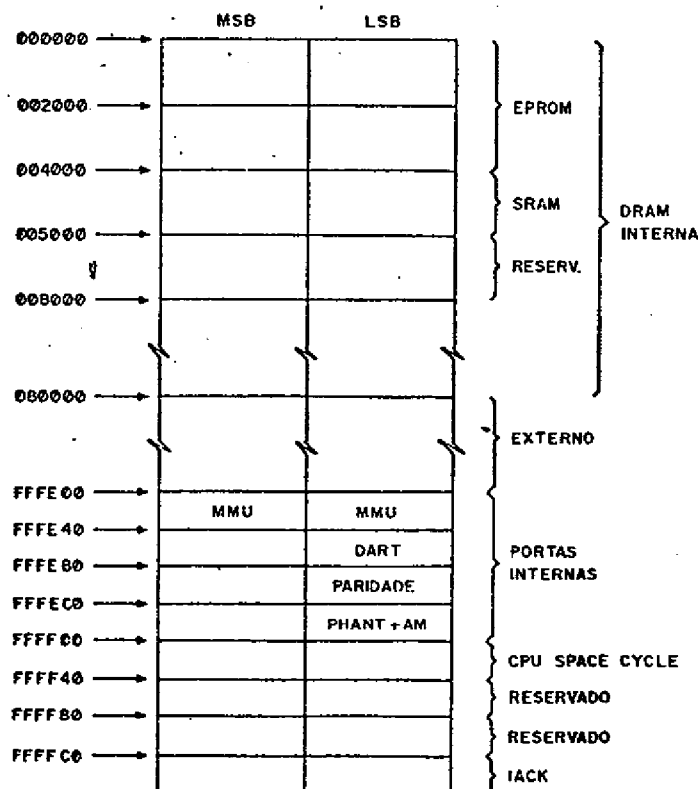


Figura 4.5: Distribuição do espaço físico no módulo processador

A barra local do módulo processador, formada por 18 bits de endereço, 16 bits de dados e 3 bits de controle, é compartilhada pelo bloco UCP e módulos externos no acesso ao bloco memória. É também utilizada pelo bloco UCP para o acesso à barra VME. Os "buffers" que isolam o bloco UCP da barra local (figura 4.6) são habilitados por um árbitro do bloco memória, que acionando o sinal CICE, impede os acessos de outros módulos processadores, ou pela interface VME que indica, através de BBSYI, quando a barra externa é concedida ao MP.

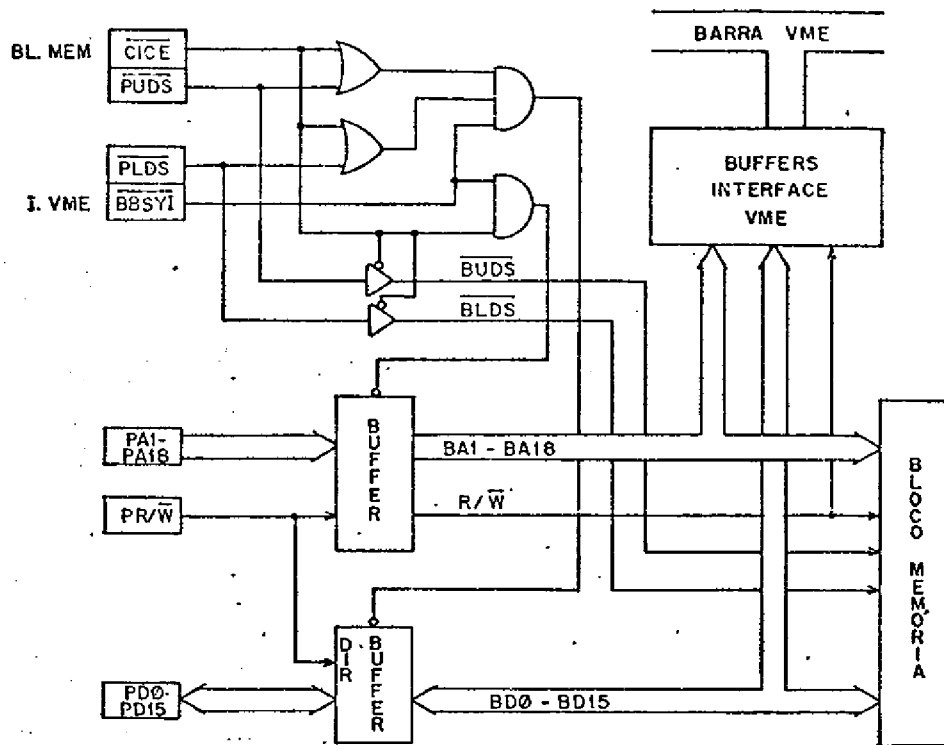


Figura 4.6: "Buffers" de isolamento do bloco UCP do MP

A interface serial utilizada, também da Motorola, se liga diretamente a UCP 68010 e gera a taxa de transmissão para os seus dois canais assíncronos a partir de um cristal externo. Os sinais RTS ("request to send") e CTS ("clear to send"), de ambos os canais, podem ou não ser utilizados na comunicação serial, dependendo de como a interface MC68681 é programada. O canal A é ligado a um conector no painel frontal do módulo processador

permitindo a comunicação, no padrão RS 232C, com um terminal de vídeo sem o uso de um módulo controlador de entrada e saída.

A memória EPROM do bloco UCP é formada por dois integrados do tipo 2732 ou 2764 que dão capacidade ao bloco UCP de 4K ou 8K palavras de 16 bits. Como memória de rascunho são utilizadas duas RAM's estáticas 6116 que formam um banco de 2K palavras.

4.2 - Bloco Memória

Os circuitos que compõem o bloco memória são:

- circuito de refrescamento;
- árbitro 1;
- árbitro 2;
- banco de memória com paridade;
- circuito de controle;
- porta de "reset" e paridade;
- multiplexadores de endereço.

O circuito de refrescamento (figura 4.7) se resume em dois monoestáveis, configurados como astável, e um contador. O astável gera pedidos de refrescamento ao árbitro 2 e o contador endereços sequenciais de linha, de 0 a 255, de forma a refrescar toda a memória em 4ms.

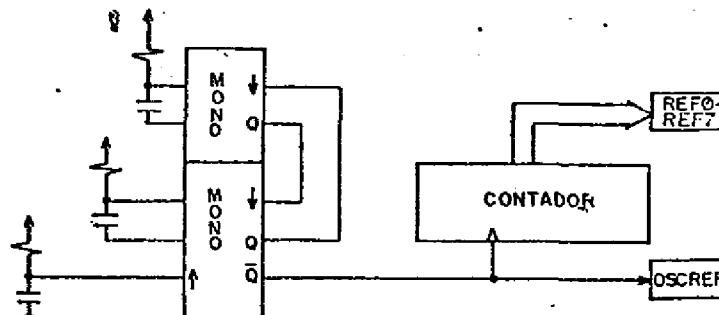


Figura 4.7: Circuito de refrescamento do bloco memória

O primeiro árbitro, apresentado na figura 4.8, garante, através dos sinais CICE e CICM, a exclusividade entre os acessos da UCP local e das UCP's externas. Os sinais de seleção de memória ou seleção das portas de paridade e "reset", provenientes do bloco UCP e da interface VME, são armazenados pelo árbitro como pedidos de acesso à barra local. O critério de arbitragem é simples, tomando como base apenas a ordem de chegada dos pedidos: aquela UCP que tiver seu pedido ativado por último só receberá permissão para usar a barra após a primeira ter terminado seu acesso. Assim, o sinal CICE concede o uso da barra local ao bloco UCP enquanto que CICM, sempre exclusivo a CICE, permite o acesso dos MP's externos. Dada a resolução deste árbitro, os sinais de seleção ativos são transformados em um pedido único, BRDS, para a memória, ou CSPAR, para as portas de entrada e saída.

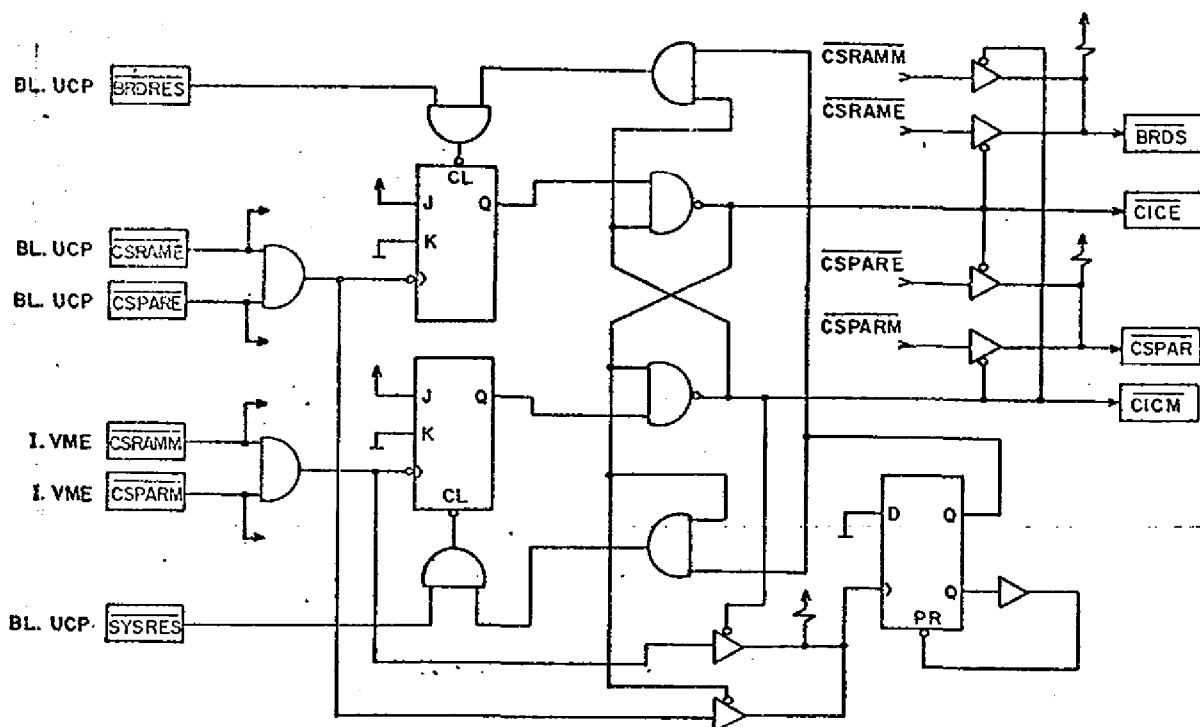


Figura 4.8: Arbitro 1 do bloco memória do MP

O segundo árbitro (figura 4.9) decide entre ciclos de refrescamento e acessos normais à memória utilizando o mesmo princípio do árbitro 1. A cada transição de subida do oscilador

de refrescamento, um pedido é armazenado gerando o sinal RRQ. Se, neste instante, não existe nenhum ciclo de leitura ou escrita em andamento, o sinal RCY é acionado e enviado ao circuito de controle que, por sua vez, gera os sinais necessários ao refrescamento da memória. Caso contrário, o sinal só é ativado quando o acesso em progresso terminar. Uma vez ativo, RCY assegura que o ciclo de refrescamento não sofrerá interferência da UCP local ou módulo externo. Quando o circuito de controle, através de FCYC, sinaliza fim de ciclo, RCY é liberado.

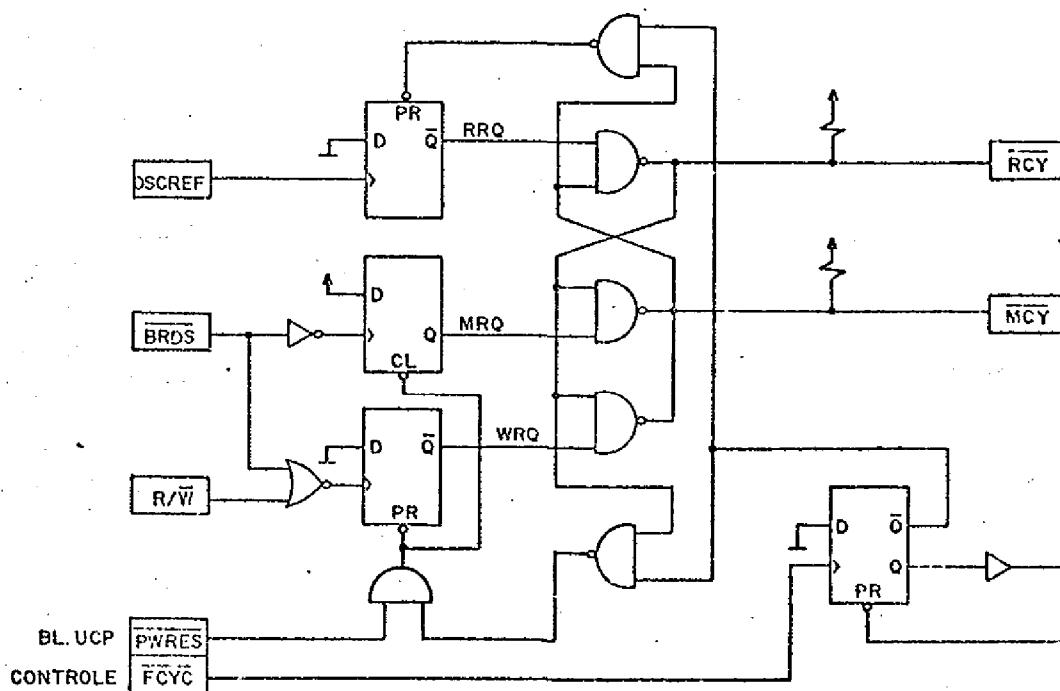


Figura 4.9: Arbitro 2 do bloco memória do MP

Os sinais MRQ e MCY exercem funções análogas em relação aos acessos de leitura e escrita. Desta forma, RCY e MCY, sempre exclusivos, indicam o tipo de ciclo em execução.

Um terceiro "flip flop" é utilizado para armazenar o pedido de escrita nos acessos indivisíveis do tipo "read modify write". O sinal WRQ gerado é também capaz de acionar MCY e assim pode dar início a um ciclo de memória.

O circuito de controle é constituído, basicamente, de uma máquina sequencial que gera os sinais RAS, ROWEN (seleciona endereço de linha e coluna adequadamente), e CAS de acordo com os diagramas de tempo da figura 4.10 (b).

E também função do circuito de controle do módulo processador gerar as respostas DTACKRAM e DTACKPAR, correspondentes aos acessos com êxito à memória e às portas de paridade e "reset", e a resposta BERRPAR, que sinaliza erro de paridade nos acessos de leitura da memória. Como mostra a figura 4.10 (a), DTACKPAR é gerada a partir de um retardo do sinal de seleção CSPAR, proveniente do árbitro 1. Nos acessos de leitura, DTACKRAM e BERRPAR refletem o resultado da comparação da paridade calculada com a paridade armazenada. Nos acessos de escrita, o sinal ERRPAR é desativado de forma que estes ciclos são sempre terminados por DTACKRAM.

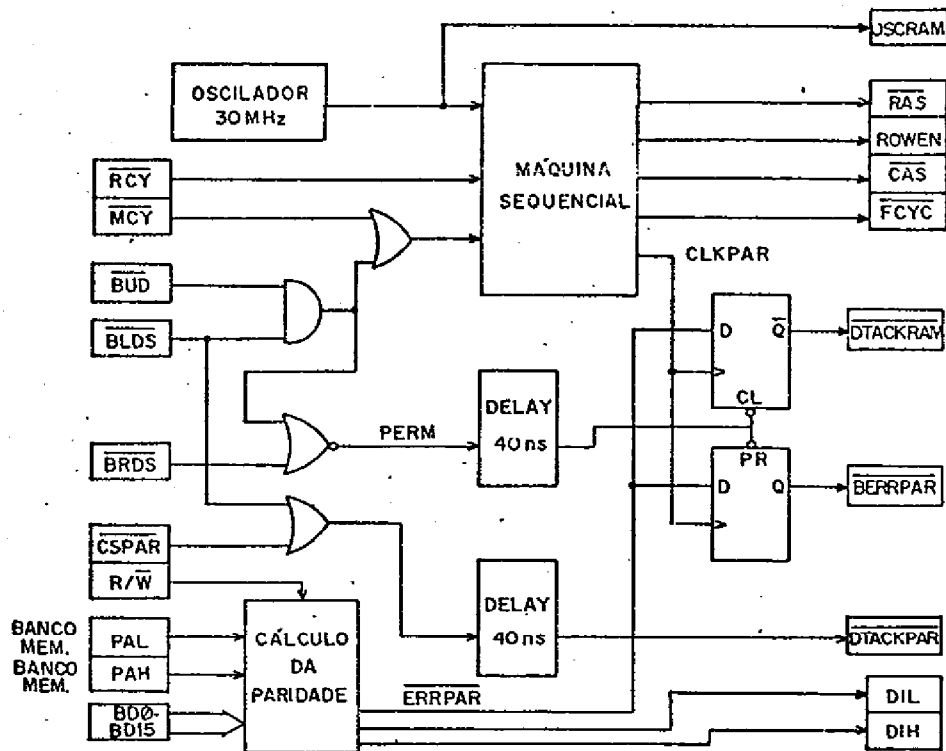


Figura 4.10 (a): Circuito de controle de memória do módulo processador

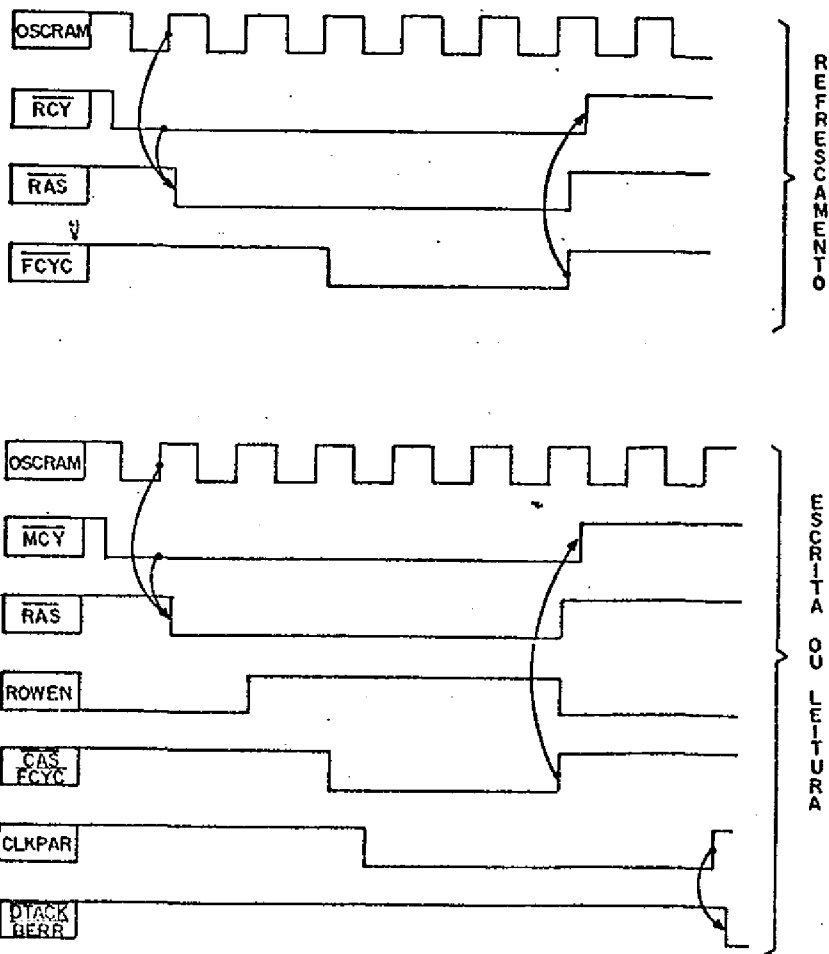


Figura 4.10 (b): Diagrama temporal do circuito de controle

A condição de erro de paridade é armazenada em um "flip flop" e pode ser lida, no bit 0 da barra de dados, pela UCP local e pelos processadores externos de 32 bits. Um acesso de escrita qualquer a esta porta de paridade retira a condição de erro. A porta de "reset" só pode ser acessada pelos módulos processadores de 32 bits e utiliza o bit 1 da barra de dados.

O banco de memória dinâmica é composto de 18 integrados de 256K x 1 formando um bloco de 256K palavras de 16 bits de dados e 2 bits de paridade, um para o byte alto (D8 a D15) e outro para o byte baixo (D0 a D7). São permitidos os seguintes

tipos de acesso determinados pelos sinais de controle, BUDS e BLDS, da barra local:

- à palavra, com BUDS BLDS = 00;
- ao byte alto, com BUDS BLDS = 01;
- ao byte baixo, com BUDS BLDS = 10.

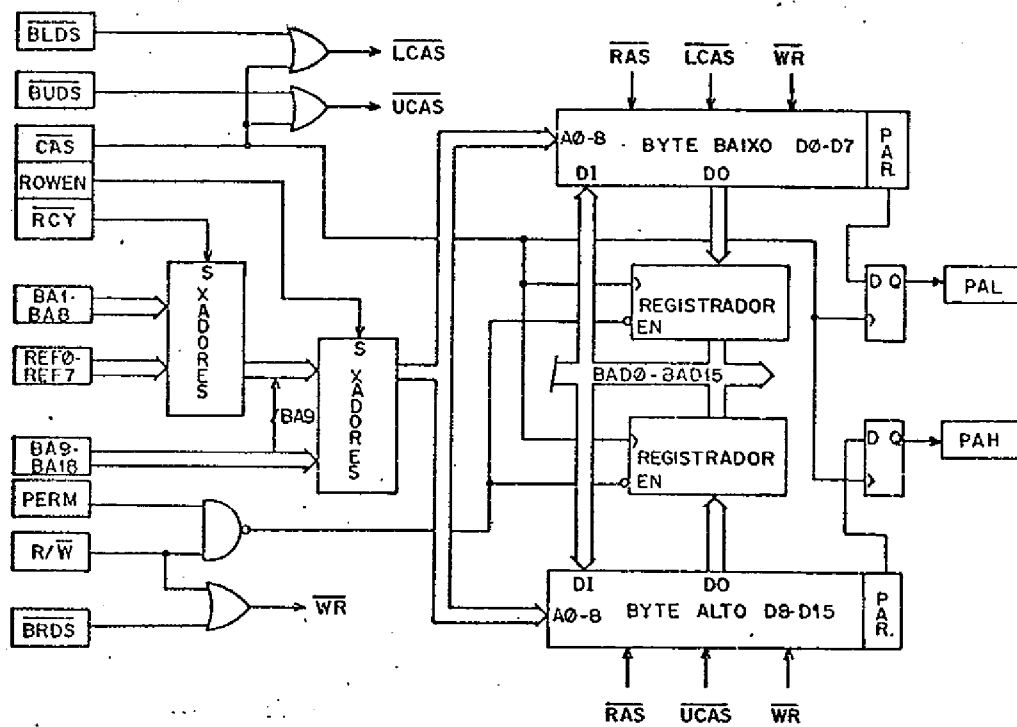


Figura 4.11: Banco de memória do módulo processador

Os endereços de linha e coluna apropriados são gerados por cinco multiplexadores controlados pelos sinais RCY, do árbitro 2, e ROWEN, do circuito de controle.

Nos acessos de leitura, tanto os bits de dados quanto os de paridade são armazenados em registradores para que possam permanecer estáveis até que sejam amostrados pelas UCP's e pelo circuito de controle. A figura 4.11 mostra a organização do banco de memória.

4.3 - Interface VME

A interface VME é responsável pela ligação do módulo processador à barra VME permitindo que este, na função de mestre, exerça controle sobre a barra e que, na função de escravo, seja acessado por outros MP's.

Como módulo passivo ou escravo, o MP deve responder aos acessos externos de leitura com um dado estável na barra acompanhado de DTACK* ou, no caso de erro, apenas com o sinal BERR*. Para os acessos de escrita, o dado da barra deve ser armazenado e o sinal DTACK* acionado. Neste processo de leitura e escrita no bloco memória, por parte de outros MP's, a interface VME exerce as seguintes funções:

- gera sinais de seleção para a memória e portas de paridade e "reset";
- liga os sinais de endereços, dados e controle da barra VME à barra local;
- transforma os sinais DTACKRAM, DTACKPAR e BERRPAR do bloco memória em DTACK* e BERR*.

Os sinais de seleção são gerados (figura 4.12) através da decodificação dos endereços mais significativos da barra VME, A19 a A31, e dos sinais de controle AS*, IACK*, LWORD* e AMO a AMS que indicam o tipo de acesso. A partir destes sinais de seleção o árbitro 1 do bloco memória concede o uso da barra local ao módulo externo. Acessos de 24 ou 32 bits de endereço são permitidos à memória porém, apenas os MP's de 32 bits podem controlar as portas de paridade e "reset". O endereço base é configurável por chaves do tipo "dip switch" como descrito no apêndice II. O mesmo endereço base de 32 bits seleciona a memória e as portas de entrada e saída sendo que as portas necessitam de um código especial em AMO - AMS, como é mostrado na tabela 4.2.

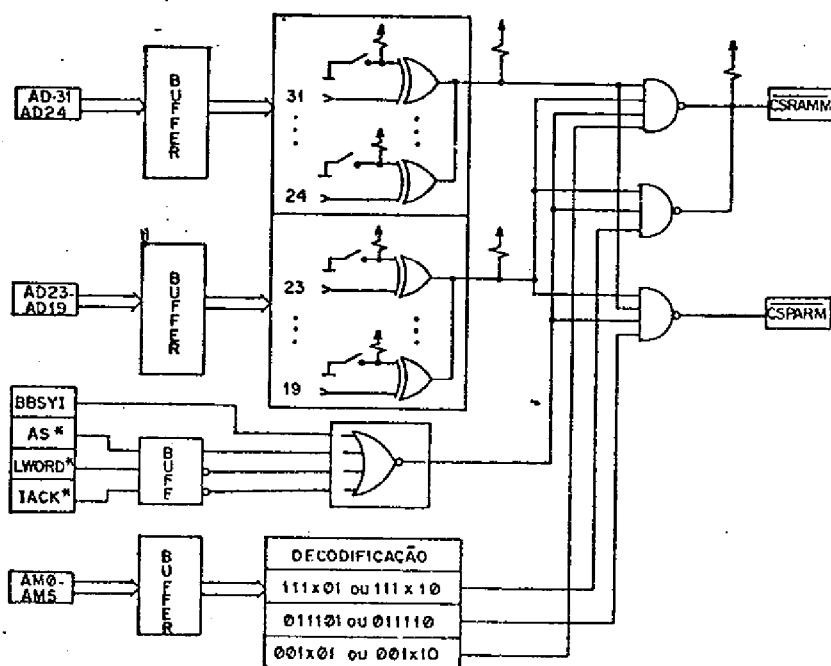


Fig 4.12: Interface VME do MP na função de escravo

A31 - A24	A23 - A17	AM5-AM0	Código AM5-AM0
end. base	end. base	011101	E/S, dado supervisor
end. base	end. base	011110	E/S, código supervisor
end. base	end. base	001X01	memória, dado
end. base	end. base	001X10	memória, código
X	end. base	111X01	memória, dado
X	end. base	111X10	memória, código

Tabela 4.2: Endereçamento do MP por outros MP's

Os 18 bits menos significativos da barra de endereço VME assim como os 16 bits de dados e o sinal WRITE* são ligados a barra local através de "buffers" bidirecionais. Para o funcionamento do módulo processador como escravo, ou seja, no caso do acesso de um MP externo à memória, os "buffers" são habilitados pelo sinal CICM, gerado pelo árbitro 1 do bloco memória, e assumem as direções:

- da barra VME à barra local para os endereços, o sinal WRITE* e dados de escrita;
- da barra local à barra VME para os dados de leitura.

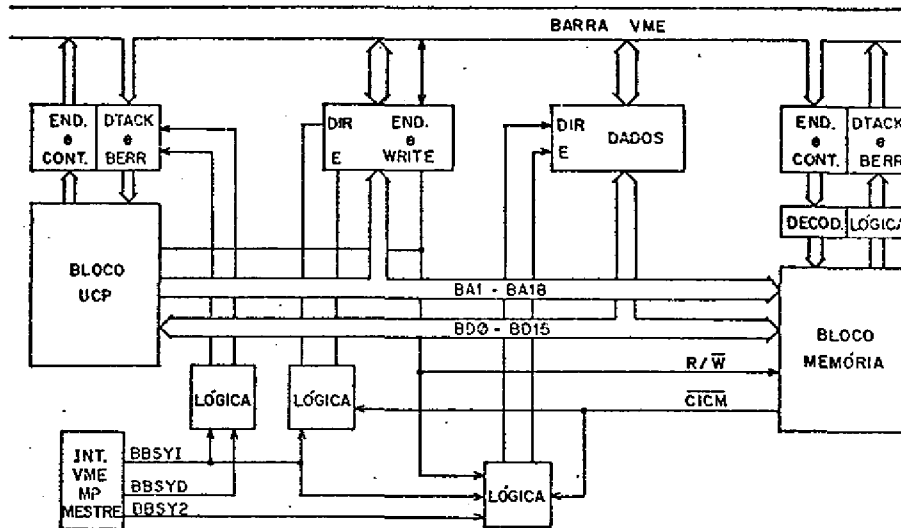


Fig 4.13: "Buffers" da interface VME do MP

A interface VME utiliza estes mesmos "buffers", além de alguns outros de direção única, para os acessos do bloco UCP a barra VME no funcionamento do MP como mestre. Neste caso, os "buffers" são habilitados pelos sinais BBSY1 e BBSY2, gerados na própria interface, e assumem direções opostas as citadas acima. A figura 4.13 apresenta a disposição dos "buffers" da interface.

O módulo processador só pode exercer controle sobre a barra VME se obtiver permissão do módulo árbitro externo. Para isto, a interface VME envia ao árbitro um pedido, BRX*, gerado a partir dos sinais de seleção de dispositivos externos para acessos normais ou ciclos de reconhecimento de interrupção (CSEXT e IACKEXT na figura 4.14). Ao receber o consentimento do árbitro, BGXIN*, a interface retira o pedido e aciona BBSY* para garantir o uso exclusivo da barra até que o bloco UCP termine o acesso. O sinal BGXIN* faz parte de uma cadeia "daisy chain" formada por diversos MP's. Desta maneira, se não for utilizado pela UCP

local, é passado ao próximo MP da cadeia com o nome de BGXOUT*.

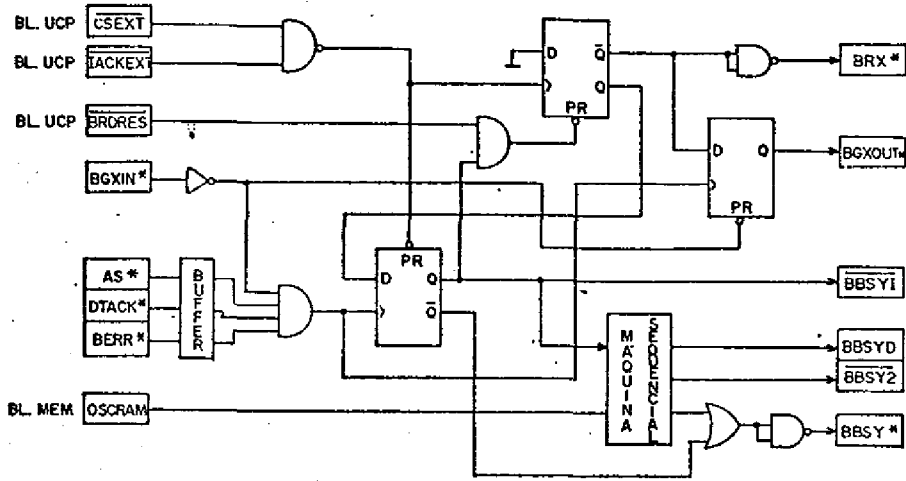


Figura 4.14 (a): Interface VME do MP - pedido de barra

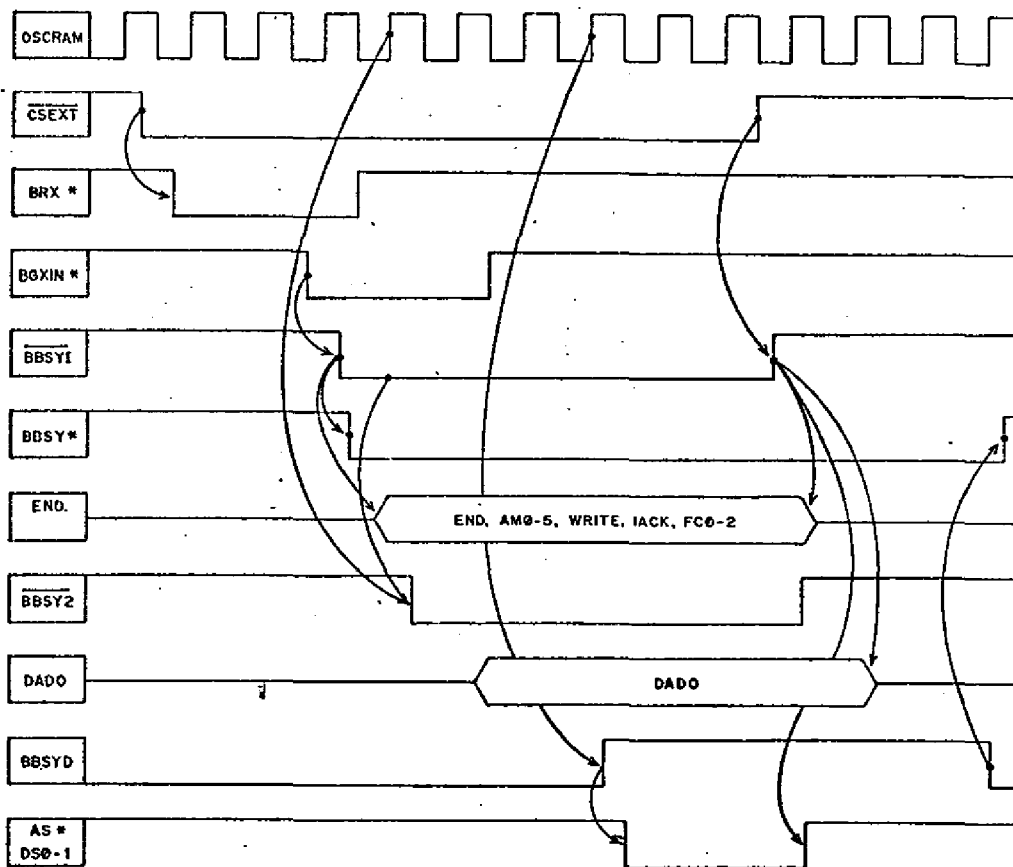


Figura 4.14 (b): Diagrama temporal da interface VME

Uma pequena máquina sequencial ativa os sinais de habilitação e direcionamento (BBSYD, BBSYI e BBSY2) dos "buffers" de controle, endereço e dados de forma a obedecer os retardos exigidos pelo padrão VME, como mostra o diagrama temporal da figura 4.14 (b). Para poder gerar, na barra VME, o código AM5 - AM0 necessário para a seleção das portas de controle e paridade dos módulos controladores, a UCP deve, antes do acesso externo, escrever "0" na porta AM, utilizando o bit 1 da barra de dados e o mesmo endereço da porta PHANTOM. Para os acessos à memória, a UCP deve escrever "1" nesta porta.