

3 - ARQUITETURA DO MÓDULO PROCESSADOR DE 16 BITS

Baseado na linha 68010, da Motorola, o processador de 16 bits permite a utilização de memória virtual bem como relocação e proteção de programas. Possui 512 Kbytes de memória local, interface serial assíncrona e circuitos para sua ligação à barra VME. Tendo em mente não só conveniências de fabricação e de manutenção, mas também a simplificação da feitura do "software", procurou-se, ao máximo, manter a modularidade nos MP's de 16 bits. A arquitetura destes módulos foi então definida em termos de três blocos não só logicamente como fisicamente distintos:

- bloco UCP,
- bloco memória,
- interface VME.

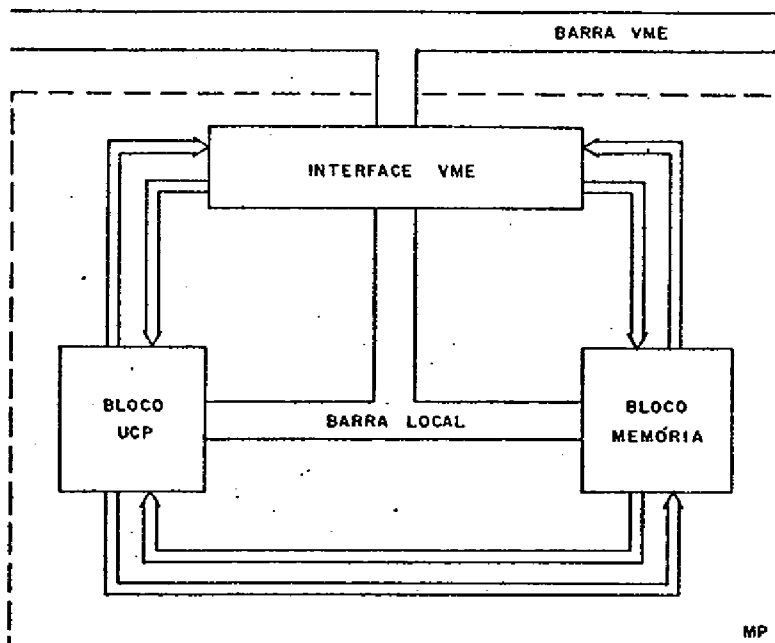


Figura 3.1: Diagrama em blocos do MP de 16 bits

3.1 - Bloco UCP

Neste bloco, a unidade central de processamento é acompanhada de uma unidade de gerenciamento de memória (MMU) que mapeia endereços lógicos em endereços físicos possibilitando a relocação de programas. Esta facilidade cria um ambiente adequado a um sistema operacional multi-tarefa, onde a UCP pode executar, num esquema de "time-slice", diversos processos que, embora possam estar no mesmo espaço lógico, ocupam diferentes partes da memória física. Quando um processo termina, outro é escolhido pelo sistema operacional para ser executado no espaço liberado, e assim os processos são relocados dinamicamente conforme a disponibilidade do recurso memória.

A unidade de gerenciamento utilizada é a MC68451, inteiramente compatível com a UCP MC68010. Optou-se por uma MMU integrada, no lugar de uma unidade mais rápida formada por circuitos lógicos discretos, para tornar o sistema mais compacto e mais flexível. A MC68451 oferece diversas opções de programação podendo operar por paginação ou segmentação.

A MMU também permite que certas áreas de memória sejam protegidas de acessos de escrita e/ou leitura. O sistema operacional, por exemplo, deve ser protegido para que programas de usuários não possam alterá-lo. Da mesma forma, processos usuários devem ser protegidos de outros processos usuários.

Juntas, a UCP e a MMU, possibilitam a implementação de memória virtual. Se uma página ou segmento, que não está na memória principal, é acessada, a unidade de gerenciamento envia à UCP uma interrupção de "page fault". O esquema de reconhecimento desta interrupção é tal que a instrução em execução é suspensa de imediato, podendo ser continuada após a transferência da página para a memória.

A interface serial assíncrona além de facilitar testes e manutenção, torna dispensável um módulo controlador de

terminais em configurações básicas do sistema. A RAM estática serve como memória de rascunho, permitindo que o funcionamento do bloco UCP seja verificado sem a presença do bloco memória ou da interface VME.

Através da barra local de endereços, dados e controle, a UCP é capaz de acessar o bloco memória e, utilizando a interface VME, acessa também os módulos externos. No entanto, os acessos a circuitos internos, pertencentes ao próprio bloco (EPROM, RAM, etc), não são perturbados por referências de outros MP's à memória local.

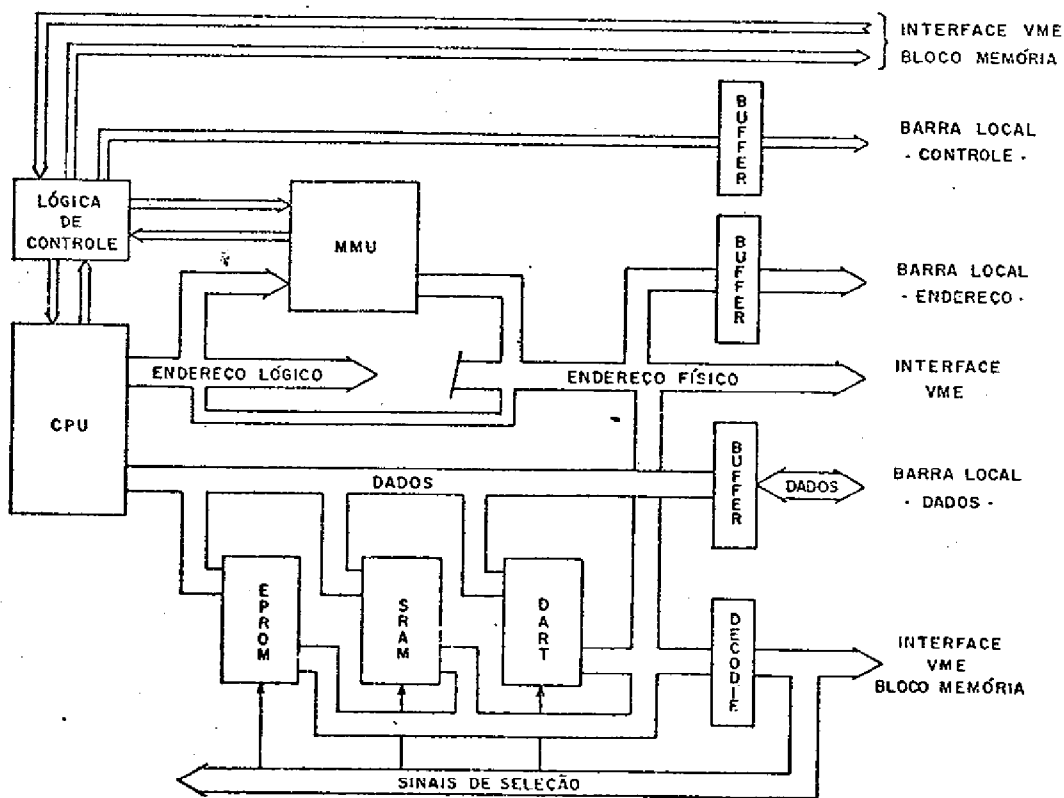


Figura 3.2: Bloco UCP do módulo processador

3.2 - Bloco Memória

A memória de duplo acesso faz parte do espaço de endereçamento da UCP local e também dos outros MP's do sistema, sendo eles de 16 ou 32 bits, formando uma estrutura de multiprocessamento com UCP's fortemente acopladas. A figura 3.3 apresenta um diagrama do bloco memória.

Um árbitro resolve os conflitos entre acessos locais e externos tratando ambas as partes com a mesma prioridade e levando em consideração apenas a ordem de chegada dos pedidos para conceder o uso da memória.

Uma segunda lógica de arbitragem utiliza o mesmo princípio para decidir entre ciclos de refrescamento e ciclos normais de memória, isto é, ciclos de leitura/escrita. De acordo com a indicação deste árbitro, o circuito de controle gera os sinais adequados ao tipo de ciclo. O circuito de paridade sinaliza condição de erro à UCP local e módulos externos.

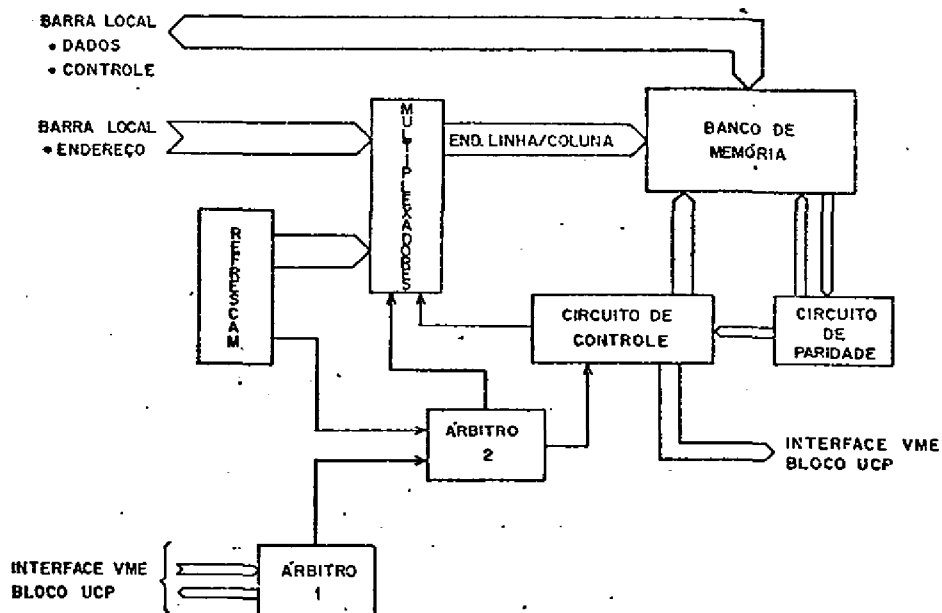


Figura 3.3: Bloco memória do módulo processador

3.3 - Interface VME

O processador de 16 bits é classificado, no padrão VME, como módulo híbrido possuindo, simultaneamente, propriedades de mestre e escravo.

Por um lado, o processador exerce controle sobre a barra VME nos acessos a controladores inteligentes ou a outros MP's. Por outro lado, pode ser visto como um módulo passivo quando sua memória é utilizada por processadores externos. A interface VME realiza duas funções:

- a partir da decodificação de sinais da barra, verifica se algum MP deseja acessar a memória local;
- a partir de um pedido da UCP, gera os sinais de controle, endereço e dados de forma a tornar o módulo mestre da barra.

O endereço base da memória do módulo processador, que determina a sua posição no espaço de endereçamento dos outros MP's, é configurável por chaves.