

# PUC

DILZA MERCANTE DE MATTOS

SISTEMA CYGNUS - A CONFIGURAÇÃO BÁSICA

DISSERTAÇÃO DE MESTRADO

DEPARTAMENTO DE ENGENHARIA ELÉTRICA

Rio de Janeiro, 14 de novembro de 1986

**Pontificia Universidade Católica do Rio de Janeiro**

**Av. Marquês de São Vicente, 225 - CEP 22453**

**Rio de Janeiro — Brasil**

N. Chamada: 621.3 / M444s / TESE UC

Título: Sistema CYGNUS - a configuração básica /



01 013 7 5 8  
EX 2-CENTRAL

7703

DILZA MERCANTE DE MATTOS

SISTEMA CYGNUS - A CONFIGURAÇÃO BÁSICA

Dissertação apresentada ao Departamento de Engenharia Elétrica da PUC/RJ como parte dos requisitos para obtenção do título de Mestre em Ciências de Engenharia Elétrica: Sistemas de Computação.

Orientadores:

- Albrecht K. von Plehwe
- Moisés H. Szwarcman

Departamento de Engenharia Elétrica  
Pontifícia Universidade Católica do Rio de Janeiro

Rio de Janeiro, 14 de novembro de 1986

053309.1



33558

GC-D

GRU 3  
31444  
TESE CC

## Agradecimentos

- a meus pais
- a meus orientadores
- ao pessoal técnico do LED - PUC/RJ
- ao CNPq pela ajuda financeira recebida durante o curso

## RESUMO

O uso de múltiplos microprocessadores constitui solução apropriada para diversos sistemas que necessitam de grande capacidade computacional. Este trabalho descreve a configuração básica do sistema multiprocessador CYGNUS formada por um módulo processador de 16 bits, com unidade de gerenciamento de memória integrada, e um controlador inteligente de discos flexíveis. A comunicação entre os módulos se dá pelo método de memória comum, sendo prevista a expansão do sistema com a introdução de processadores adicionais, de 16 ou 32 bits.

## ABSTRACT

The use of multiple microprocessors can provide the appropriate solution to systems demanding high computing power. This essay describes the basic configuration of the CYGNUS multiprocessor system composed of a 16 bit processor module, with integrated memory management unit, and an intelligent floppy disk controller. Communication between modules is carried out through a common memory structure. System expansion is allowed with the introduction of 16 bit or 32 bit processors.

## SUMARIO

LISTA DE ILUSTRAÇÕES .....	v
LISTA DE TABELAS .....	vi
1 - INTRODUÇÃO .....	1
2 - ARQUITETURAS DE MULTIPROCESSAMENTO E O SISTEMA CYGNUS .	3
2.1 - Arquiteturas de Multiprocessadores .....	3
2.2 - O Sistema Cygnus .....	6
3 - ARQUITETURA DO MÓDULO PROCESSADOR DE 16 BITS .....	9
3.1 - Bloco UCP .....	10
3.2 - Bloco Memória .....	12
3.3 - Interface VME .....	13
4 - HARDWARE DO PROCESSADOR DE 16 BITS .....	14
4.1 - Bloco UCP .....	14
4.2 - Bloco Memória .....	24
4.3 - Interface VME .....	30
5 - MÓDULO CONTROLADOR DE ENTRADA E SAÍDA .....	35
5.1 - Arquitetura .....	35
5.2 - Hardware .....	37
5.2.1 - Módulo Padrão .....	37
5.2.2 - Interface Específica a Discos Flexíveis .	47
6 - SOFTWARE .....	49
6.1 - Programa Monitor do Módulo Controlador .....	50
6.2 - Programa Monitor do Módulo Processador .....	53
6.3 - Instalação do CP/M-68K .....	57
7 - CONCLUSÃO .....	61

APENDICE I - Padrão VME .....	63
APENDICE II - Manual de Operação .....	71
APENDICE III - Programas Fonte do Sistema .....	81
APENDICE IV - Esquemas .....	
BIBLIOGRAFIA CONSULTADA .....	



## LISTA DE ILUSTRAÇÕES

2.1 - Topologias de interconexão .....	4
2.2 - Exemplo de configuração do Sistema Cygnus .....	7
3.1 - Diagrama em blocos do MP de 16 bits .....	9
3.2 - Bloco UCP do módulo processador .....	11
3.3 - Bloco memória do módulo processador .....	12
4.1 - UCP MC68010 no módulo processador .....	15
4.2 - Processo de mapeamento da MMU MC68451 .....	19
4.3 - Formação do endereço base físico .....	20
4.4 - MMU MC68451 no módulo processador .....	21
4.5 - Distribuição do espaço físico no módulo processador .	22
4.6 - "Buffers" de isolamento do bloco UCP do MP .....	23
4.7 - Circuito de refrescamento do bloco memória .....	24
4.8 - Arbitro 1 do bloco memória do MP .....	25
4.9 - Arbitro 2 do bloco memória do MP .....	26
4.10- (a) Circuito de controle de memória do MP .....	27
(b) Diagrama temporal do circuito de controle .....	28
4.11- Banco de memória do módulo processador .....	29
4.12- Interface VME do MP na função de escravo .....	31
4.13- "Buffers" da interface VME do MP .....	32
4.14- (a) Interface VME do MP - pedido de barra .....	33
(b) Diagrama temporal da interface VME .....	33
5.1 - Diagrama em blocos do módulo controlador .....	35
5.2 - Z80A CPU no módulo padrão .....	38
5.3 - Z80A DMA, CTC e DART no módulo padrão .....	40
5.4 - Portas de controle do módulo padrão .....	41
5.5 - Circuito de decodificação do módulo padrão .....	42
5.6 - Arbitro do bloco memória .....	44
6.1 - Fluxograma do programa de comunicação do módulo controlador .....	59
6.2 - Fluxograma das rotinas "read" e "write" do MP .....	60
I.1 - Padrão VME - módulos e estrutura de barras .....	66
I.2 - Leitura de um byte .....	68
I.3 - Esquema de arbitragem da barra VME .....	69
I.4 - Estrutura de interrupção da barra VME .....	70
II.1- Distribuição do espaço físico no módulo processador .	71

II.2- Disposição das chaves "dip switch" no MP .....	73
II.3- Disposição das chaves no módulo controlador .....	76

### LISTA DE TABELAS

4.1 - Códigos de função da UCP MC68010 .....	17
4.2 - Endereçamento do MP por outros MP's .....	31
5.1 - Endereçamento de memória no módulo padrão .....	42
5.2 - Endereçamento de portas de E/S no módulo padrão .....	42
5.3 - Endereçamento do módulo controlador por módulos externos .....	46
5.4 - Endereçamento das portas da interface de discos flexíveis .....	48
5.5 - Configuração das chaves da interface de discos flexíveis .....	48
I.1 - Definição dos códigos em AM5-AM0 (hexa) .....	67
II.1- Configuração das chaves da interface de discos flexíveis .....	77
II.2- Endereçamento de memória no módulo padrão .....	77
II.3- Endereçamento de portas de E/S no módulo padrão .....	77
II.4- Endereçamento das portas da interface de discos flexíveis .....	77