

4

Arquitetura básica de um analisador de elementos de redes

Neste capítulo é apresentado o desenvolvimento de um dispositivo analisador de redes e de elementos de redes, utilizando tecnologia FPGA. Conforme foi mencionado no capítulo anterior, a realização de soluções nessa tecnologia é bastante simplificada com a divisão das tarefas em módulos ou blocos, e com a comunicação entre os mesmos.

4.1. Introdução

O aparato proposto terá como função básica a geração de um determinado fluxo conhecido de quadros, que é injetado em uma rede ou um equipamento e posteriormente recebido. A análise do fluxo recebido, em comparação com o fluxo transmitido, possibilita a avaliação dos parâmetros de desempenho. O processamento dessas informações e a posterior contabilidade dos resultados, é realizada por um terceiro módulo de controle, também implantado no *chip* FPGA.

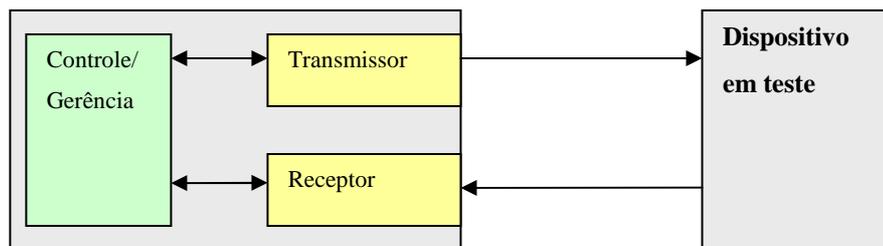


Figura 3 – Organização estrutural (simplificada) da solução

A figura acima ilustra, de forma bastante resumida, a organização estrutural proposta, onde os módulos “Transmissor” e “Receptor” são supervisionados pelo módulo “Controle e Gerência”. Este, por sua vez, através da realimentação fornecida pelos dois outros módulos é capaz de verificar os resultados obtidos durante o teste.

O mecanismo adotado é apresentado em etapas, numa abordagem evolutiva, focada nos testes de desempenho, no intuito de ampliar a compreensão do processo.

4.2. Avaliação da perda de quadros

A avaliação da perda de quadros pode ser pensada de forma extremamente simplificada. Em poucas palavras, se dá através da transmissão de uma determinada quantidade de quadros, seguida de comparação com o número de quadros recebidos. O maior problema de uma solução deste tipo é garantir o perfeito sincronismo entre transmissor e receptor. Este precisa estar ciente do início de um teste, quando seu contador de quadros recebidos deve estar zerado. Ainda assim, a mera contagem de quadros recebidos pode ser problemática se este não for capaz de distinguir um quadro efetivamente enviado pelo módulo transmissor de um quadro com outra origem, que lhe foi entregue. Outra situação potencialmente perigosa ocorre se, por algum motivo, está se realizando testes em uma rede ou equipamento que possibilite a entrega duplicada de um mesmo quadro. Além disso, durante a realização do teste, não seria possível distinguir, da diferença entre quadros transmitidos e recebidos, quais ainda estão em trânsito e quais efetivamente foram perdidos.

A complexidade aumenta em situações nas quais os módulos de transmissão e recepção não estejam fisicamente conectados num mesmo equipamento. Nestes casos, toda a negociação do teste deve ser feita de maneira externa, ou de forma manual ou usando a própria rede. Entenda-se por negociação, o mútuo conhecimento de parâmetros vitais para a realização do teste, por exemplo, a quantidade de quadros a serem transmitidos. Uma solução que reduz bastante os problemas citados, e de baixa complexidade de realização, constitui-se da inclusão do número do quadro em seu conteúdo. Em outras palavras, no campo de dados de um quadro, alguns bits são usados para representar a numeração daquele quadro. Cada quadro possui uma numeração única, sendo transmitidos sequencialmente.

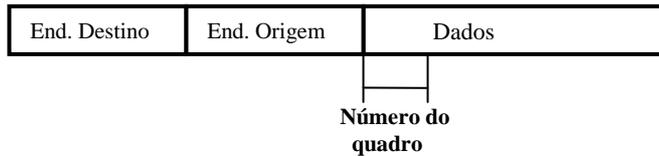


Figura 4 – Inclusão no quadro de dados relativos ao teste

Acima uma representação genérica de um quadro, onde os primeiros bits do campo de dados do mesmo são usados para armazenar a sua numeração. A área de dados é completada com informações não prioritárias, até o tamanho desejado do quadro. Um último detalhe a ser resolvido diz respeito ao conhecimento, por parte do receptor, do início ou fim de um ciclo de teste.

Se os quadros forem transmitidos com numeração seqüencial em ordem decrescente, sendo que o quadro de número um sempre representa o fim do teste, o número do primeiro quadro recebido corresponderá à quantidade de quadros que serão transmitidos naquele teste. Sendo assim, o receptor terá sempre conhecimento da quantidade de quadros restantes para o fim do teste. Mas ainda falta garantir que o receptor tenha pleno conhecimento do início de um novo ciclo de testes. Uma solução é usar um determinado bit na área de dados do quadro para sinalizar que o mesmo corresponde ao primeiro de uma seqüência de teste. Sendo assim, a principal fragilidade do processo descrito se dará quando o primeiro quadro for perdido, pois o receptor não será capaz de identificar o início do teste e, conseqüentemente, irá ignorar os demais quadros. Essa fragilidade pode até mesmo ser desprezada se dois fatores forem considerados.

- Se o primeiro quadro de uma seqüência de testes for perdido, a conseqüência é que o receptor não inicia também o processo de teste, sendo necessária uma intervenção para reiniciar os testes. E, o mais importante, não há resultados comprometidos ou imprecisos.
- Em uma rede com baixa taxa de erro, por exemplo, através de fibras ópticas, a probabilidade do primeiro quadro da seqüência ser perdido é relativamente pequena, o que torna a possibilidade anterior num transtorno incomum.

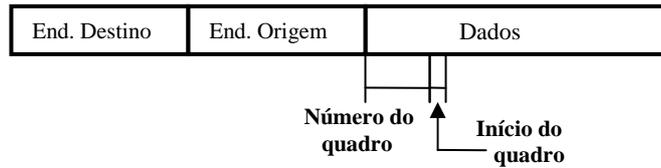


Figura 5 – Quadro contendo sinalizador de início de teste

É importante ressaltar que a negociação descrita até agora ocorre em apenas um sentido de comunicação, do transmissor para o receptor, sendo perfeitamente possível o desenvolvimento de um protocolo de negociação extremamente robusto, com o uso de comunicação bidirecional, que permitiria ao receptor confirmar ao transmissor a ciência dos parâmetros do teste a se realizar. Como o desenvolvimento de um procedimento como este, de maior complexidade, não é objetivo principal deste trabalho, este foi realizado seguindo a proposta anterior.

Nesse cenário, em que todos os quadros recebidos possuem uma identificação, com sua numeração, cabe ao receptor apenas comparar o número do quadro recebido com o número recebido anteriormente. Pela diferença entre os dois números o receptor descobre se algum quadro foi perdido. No caso deste projeto, em que transmissor e receptor se comunicam com um módulo único de controle, no mesmo equipamento, torna-se possível separar, do total de quadros não recebidos, a quantidade efetivamente perdida daqueles ainda em trânsito.

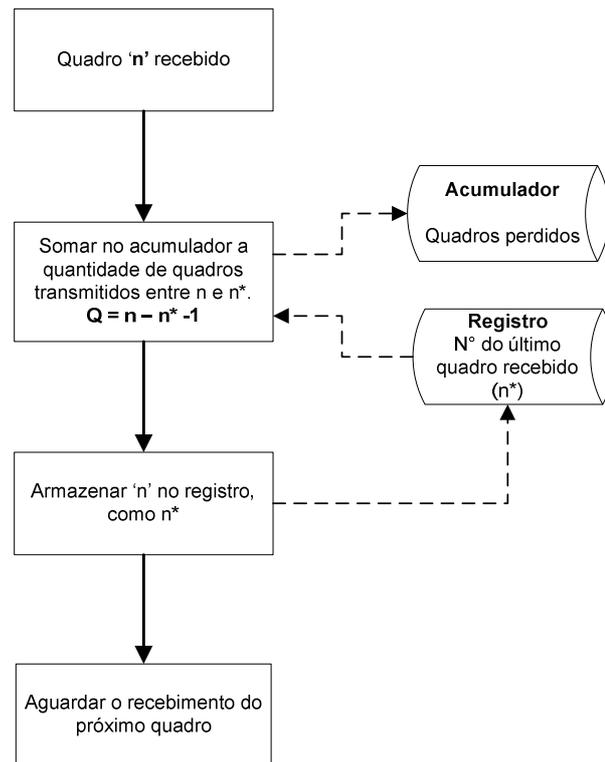


Figura 6 – Fluxograma da lógica do receptor, capaz de contabilizar a perda de quadros

Outro mecanismo importante é o cálculo do número de quadros ainda em trânsito através da numeração proposta, que permite, a partir da taxa de quadros transmitidos, uma estimativa aproximada do retardo introduzido pela rede em teste. Será descrito mais adiante o mecanismo de avaliação precisa deste parâmetro de desempenho.

4.3. Avaliação da máxima capacidade de transmissão

Entenda-se por “máxima capacidade de transmissão” a maior taxa que a rede é capaz de suportar, sem que o fluxo sofra prejuízos além de um determinado limiar definido pelo teste. Um ponto de operação muito procurado é aquele em que o fluxo de quadros não sofre qualquer perda. A lógica mais comum é aquela em que um número grande de quadros é transmitido, sob uma determinada taxa. Se ocorrer perda, significa que o fluxo foi superior à capacidade da rede e o teste deverá ser repetido com taxa menor. Se não ocorreu perda, existe a chance de que

a rede seja capaz de suportar uma taxa ainda maior, e o teste será repetido com taxa superior, até que se encontre o máximo possível.

É importante lembrar que o parâmetro de desempenho que servirá de base para este teste pode ser ajustado conforme a necessidade do usuário. Por exemplo, a tolerância a falhas pode ser maior, aceitando-se fluxos, com até uma determinada quantidade de quadros perdidos, como válidos. Outros parâmetros também podem ser usados, conforme a necessidade do teste. Por exemplo, pode-se avaliar a máxima taxa de transmissão observando-se também o retardo dos quadros. Em redes, ou equipamentos, em que a taxa de transmissão tem grande efeito sobre o retardo, esse segundo parâmetro também pode ser usado como referência para o teste. Não custa lembrar que o retardo tem especial importância sobre determinadas aplicações, especialmente as interativas.

4.4. Avaliação do retardo sobre os quadros

No item 4.1 foi mencionada a possibilidade de se obter uma estimativa aproximada do retardo, com base no número de quadros em trânsito. Esta abordagem pode fornecer uma idéia da ordem do valor real, porém é inadequada se houver necessidade de maior precisão. O principal problema está na impossibilidade de estimativa das pequenas variações de retardo que os quadros experimentam ao longo do trajeto. Desta forma, o cálculo do tempo total utilizando o tempo conhecido, e fixo, entre a transmissão de dois quadros consecutivos, fornecerá um resultado impreciso.

Uma solução viável capaz de atender a esta demanda pode ser feita com o uso de um relógio mestre, comum e único ao transmissor e receptor. Uma solução aparentemente simples, na qual o transmissor insere no conteúdo do quadro, após os campos de numeração e início já mencionados, a posição do relógio no instante da geração daquele quadro. O relógio é, na prática, um contador suficientemente grande para não repetir valores numa mesma rodada de testes ou, pelo menos, garantir um espaço de vários quadros antes de recomençar sua contagem. Ao

receber o quadro, a diferença entre o instante atual e o marcado no conteúdo do quadro, indicará o retardo sofrido.

A frequência de oscilação deste contador também é de grande relevância. Ela deve ser suficientemente elevada para permitir uma boa precisão, mas se for em demasia exigirá um contador com maior comprimento de bits, aumentando os riscos e dificuldades para implantação no FPGA, devido às exigências mais rígidas de tempo. A precisão utilizada será de $0,8 \mu\text{s}$, correspondendo ao período de um sinal de 125 MHz, disponível no circuito.

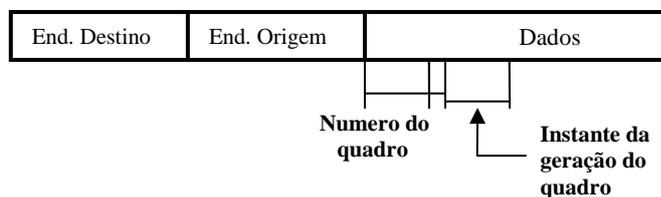


Figura 7 – Quadro contendo dados que possibilitam o cálculo do retardo

Na figura acima, temos a representação do quadro incluindo o campo que contém o valor do relógio no instante em que o quadro é gerado.

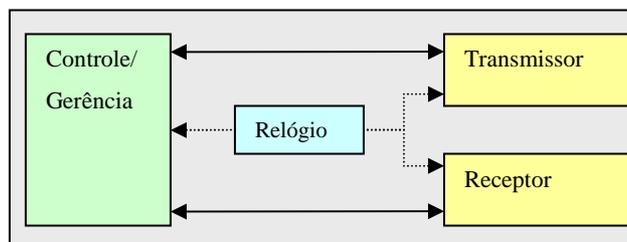


Figura 8 – Organização estrutural da solução capaz de avaliar o retardo

Essa solução nos permite o cálculo preciso do retardo experimentado por um determinado quadro, mas não resolve o nosso problema. Na prática, o que desejamos é de resultados estatísticos para representar o teste realizado. O resultado mais comum é o tempo médio, porém, de posse dos retardos medidos é possível a obtenção de outros resultados. O principal entrave que é enfrentado de imediato é a grande dificuldade de armazenamento de todos os retardos medidos ao longo do teste para posterior processamento. O volume de dados obtidos ao longo de uma rodada de testes é excessivamente grande, e exigiria uma

capacidade de armazenamento externa, em memória RAM, muito elevada. A transmissão para um dispositivo externo, como um computador, é possível, mas exigiria uma interface de comunicação igualmente veloz para ocorrer em tempo real.

Será apresentado um modelo simplificado capaz de estimar a média dos retardos obtidos com base em uma ou mais bases de tempo fixas. Para simplificar, vamos pensar em um bloco capaz de calcular a média dos retardos no último segundo e, a cada segundo, esse valor é transmitido para um computador e o cálculo da média se reinicia. Imediatamente percebemos dois fatos interessantes. Primeiro que a transmissão para o computador requer um desprezível volume de dados, permitindo o uso de interfaces de baixa velocidade, como a porta serial RS-232, de uso bastante simples. Segundo, que ao computador será permitido o armazenamento dessas médias, e posterior análise dos resultados no tempo. O tempo de acúmulo do teste poderá ser reduzido conforme a necessidade do teste e as capacidades técnicas do equipamento utilizado.

Uma forma de realizar esta proposta é com o uso de um acumulador de retardo total e um contador de quadros considerados nesse acumulador. Uma vez que um determinado limite de tempo é atingido, o retardo acumulado é dividido pelo número de quadros e o resultado armazenado em um registro. Este registro, que representa o retardo médio dos quadros no segundo anterior, será lido e transmitido ao computador.

O fluxograma a seguir exemplifica a lógica descrita:

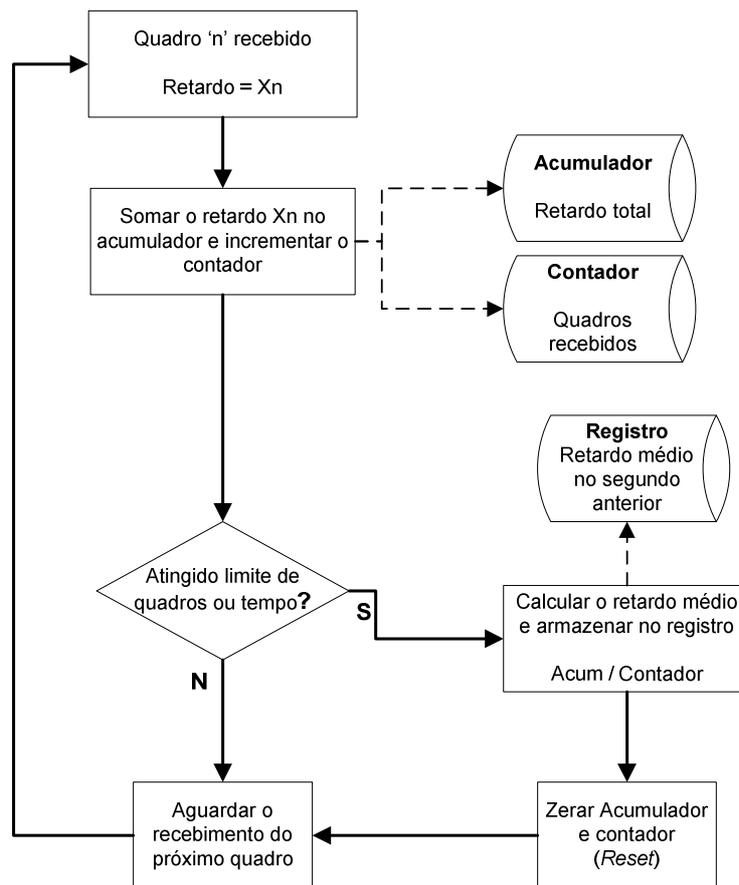


Figura 9 - Fluxograma da lógica do receptor para calcular o retardo médio dos quadros

Por simplicidade, não foi demonstrado o processo de leitura do registro com o retardo médio, e conseqüente transmissão do seu conteúdo. Com poucas alterações é possível incluir outras informações relevantes como:

- maior valor de retardo observado no período;
- menor valor de retardo observado no período;
- contadores de quadros recebidos, distribuídos em faixas de valores de retardo.

O último item, que fornece a distribuição dos retardos observados, oferece uma idéia mais precisa dos efeitos experimentados pelos quadros e tem especial relevância em testes onde o retardo sofre grandes variações. De posse desses valores, o responsável pelos testes poderá realizar cálculos estatísticos adequados, conforme a sua necessidade. Também é possível a evolução deste mecanismo de maneira a obter diversas médias de retardo ao longo de intervalos de tempo dentro do período. No momento da transmissão dos dados para o computador, seriam

enviados vários valores de retardo médio, correspondentes a frações do segundo anterior. Esses resultados também são importantes quando temos grandes variações de retardo, pois são capazes de apontar os instantes em que essas alterações ocorreram.

É de extrema importância ressaltar que todas essas evoluções descritas aumentam a demanda por recursos do *hardware* em uso. Quanto maior o número de intervalos de tempo ou intervalos de retardo a serem contabilizados, melhores serão os resultados, porém mais unidades lógicas do FPGA serão usadas para a implantação da lógica e armazenamento dos dados. A combinação das duas sugestões feitas logo acima permitiria a obtenção, não de apenas um valor médio de retardo por segundo, mas sim uma tabela relacionando o retardo e o tempo no último segundo.

Tempo(ms) Retardo(μ s)	0	200	400	600	800
< 1					
1 – 200					
201 – 400					
401 – 600					
601 – 800					
801 – 1000					
> 1000					

Tabela 1 – Modelo de matriz de resultados obtidos pelo módulo receptor, relacionando o retardo médio em faixas de tempo do segundo anterior.

A combinação de todas as tabelas, ao fim do teste, poderá ser uma rica fonte de informações para posterior processamento de cálculos estatísticos ou obtenção de gráficos detalhados.

4.5. Comentários e conclusões

Ao longo do presente capítulo é apresentada a arquitetura básica de um analisador de redes e as arquiteturas funcionais capazes de avaliar a máxima capacidade de transmissão, o retardo e o número de quadros perdidos, em uma rede de telecomunicações.