



Fernando Diniz Hämmerli

**Desenvolvimento de um Analisador de Elementos
de Rede Baseado no Padrão Gigabit Ethernet**

Dissertação de Mestrado

Dissertação apresentada como requisito parcial para
obtenção do título de Mestre pelo Programa de Pós-
Graduação em Engenharia Elétrica da PUC-Rio.

Orientador: Marbey Manhães Mosso

Rio de Janeiro

Julho de 2008



Fernando Diniz Hämmerli

Desenvolvimento de um Analisador de Elementos de Rede Baseado no Padrão Gigabit Ethernet

Dissertação apresentada como requisito parcial para obtenção do título de Mestre pelo Programa de Pós-Graduação em Engenharia Elétrica da PUC-Rio. Aprovada pela Comissão Examinadora abaixo assinada.

Prof. Marbey Manhães Mosso

Orientador

Centro de Estudos de Telecomunicações - PUC-Rio

Prof. Rodolfo Saboia Lima de Souza

Centro de Estudos de Telecomunicações - PUC-Rio

Prof. Marco A. Grivet Mattoso Maia

Centro de Estudos de Telecomunicações - PUC-Rio

Gláucio Lima Siqueira

Centro de Estudos de Telecomunicações - PUC-Rio

Prof. José Eugênio Leal

Coordenador Setorial do Centro

Técnico Científico - PUC-Rio

Rio de Janeiro, 18 de julho de 2008

Todos os direitos reservados. É proibida a reprodução total ou parcial do trabalho sem autorização da universidade, do autor e do orientador.

Fernando Diniz Hämmerli

Engenheiro Eletricista com ênfase em Telecomunicações, graduado em 2004 pela Pontifícia Universidade Católica do Rio de Janeiro. Atual linha de pesquisa: Desenvolvimento de dispositivos para redes de alta capacidade e disponibilidade, baseados em circuitos eletrônicos de lógica programável.

Ficha Catalográfica

Hämmerli, Fernando Diniz

Desenvolvimento de um analisador de elementos de rede baseado no padrão Gigabit Ethernet / Fernando Diniz Hämmerli ; orientador: Marbey Manhães Mosso. – 2008.

81 f. il. (color.) ; 30 cm

Dissertação (Mestrado em Engenharia Elétrica)– Pontifícia Universidade Católica do Rio de Janeiro, Rio de Janeiro, 2008.

Inclui bibliografia

1. Engenharia elétrica – Teses. 2. Rede. 3. Elemento de rede. 4. Gigabit Ethernet. 5. Máxima taxa de transmissão. 6. Perda de quadros. 7. Retardo. 8. VHDL. I. Mosso, Marbey Manhães. II. Pontifícia Universidade Católica do Rio de Janeiro. Departamento de Engenharia Elétrica. III. Título.

CDD: 621.3

A todos os meus amigos, colegas, familiares e professores que sempre me apoiaram, incentivaram e acreditaram no sucesso deste trabalho.

Aos meus colegas do RDC, Prof. Oliveira, José Telles, Paula Cyrillo, Diogo Assis, Nelson Riet e Christiano Muniz por todo apoio dispensado.

E, em especial, à minha esposa, Sandra, por toda confiança e compreensão nos momentos mais difíceis ao longo desses dois últimos anos.

Agradecimentos

Ao meu orientador, Professor Marbey Manhães Mosso, pelo incentivo e parceria na realização deste trabalho.

Ao pesquisador e colega Henrique Portella da Silva pela grande contribuição no desenvolvimento deste projeto.

Aos meus colegas do GSOM/CETUC por todo apoio técnico dispensado.

Aos professores que participaram da Comissão examinadora.

À Paula Cyrillo Gomes pelo auxílio na revisão deste texto.

Resumo

Hämmerli, Fernando Diniz; Mosso, Marbey Manhães. **Desenvolvimento de um analisador de elementos de rede baseado no padrão Gigabit Ethernet.** Rio de Janeiro, 2008. 81p. Dissertação de Mestrado - Departamento de Engenharia Elétrica, Pontifícia Universidade Católica do Rio de Janeiro.

O objetivo desta dissertação consiste no desenvolvimento e na realização de um analisador de redes e elementos de redes na taxa de 1 Gbps. A tecnologia de lógica programável (FPGA) é utilizada através de uma placa de desenvolvimento ativada por ferramentas computacionais dedicadas a esta aplicação. O módulo realizado é utilizado para caracterizar uma rede e alguns elementos de rede em função da taxa máxima de transmissão de pacotes, número de pacotes perdidos e retardo. Uma comparação entre os resultados fornecidos pelo módulo desenvolvido e um equipamento comercial é apresentada e comentada. Finalmente, as principais vantagens da proposta desta dissertação são destacadas.

Palavras-chave

Rede; elemento de rede; Gigabit Ethernet; máxima taxa de transmissão; perda de quadros; retardo; VHDL

Abstract

Hämmerli, Fernando Diniz; Mosso, Marbey Manhães. **Development of a Gigabit Ethernet element analyzer**. Rio de Janeiro, 2008. 81p. Master's Thesis – Electrical Engineering Department, Pontifícia Universidade Católica do Rio de Janeiro.

The main purpose of this dissertation is the development and realization of a Gigabit Ethernet network element analyzer. The FPGA technology is employed through a development board, activated by dedicated software tools. The prototype realized is employed to describe a network and network elements by maximum transmission capacity, frame loss and delay. A comparative analysis between this prototype and a commercial equipment is performed. Finally, the main advantages of this dissertation will be highlighted.

Keywords

Network; network element; transmission rate; packet loss; delay; VHDL

Sumário

1	Introdução	14
2	Avaliação de desempenho de uma rede de telecomunicações	17
2.1.	Introdução	17
2.2.	Principais parâmetros de desempenho	18
2.2.1.	Perda de quadros	19
2.2.2.	Atraso ou retardo	20
2.2.3.	Variação do retardo ou <i>jitter</i>	21
2.2.4.	Máxima capacidade de transmissão	22
2.2.5.	Comentários e conclusões	22
3	Tecnologia FPGA	23
3.1.	FPGA: Histórico, linguagens e blocos	23
3.2.	Componentes lógicos de comunicação em <i>chips</i> FPGA	24
3.2.1.	Interface <i>Local-link</i>	25
3.2.2.	Barramento OPB	26
3.3.	Comentários finais e conclusões	27
4	Arquitetura básica de um analisador de elementos de redes	28
4.1.	Introdução	28
4.2.	Avaliação da perda de quadros	29
4.3.	Avaliação da máxima capacidade de transmissão	32
4.4.	Avaliação do retardo sobre os quadros	33
4.5.	Comentários e conclusões	38
5	Realização do equipamento	39
5.1.	Detalhes da tecnologia adotada	39
5.1.1.	O Processador embarcado Power-PC	40
5.1.2.	DCM - <i>Digital Clock Manager</i>	42

5.1.3. MGT - Multi-Gigabit Transceiver	43
5.1.4. PLB – Processor Local Bus	44
5.2. Módulos	45
5.2.1. Módulo de transmissão	45
5.2.1.1. Cálculo do intervalo entre quadros (IFG)	48
5.2.1.2. Capacidade máxima de transmissão	50
5.2.1.3. Fluxograma do módulo de transmissão	51
5.3. Módulo de recepção	53
5.3.1. Fluxograma do módulo de recepção	56
5.3.2. Envio de quadros para aprendizado	58
5.4. Controle e comunicação externa	58
5.4.1. Isolamento do sinal de <i>clock</i> do barramento OPB	60
5.4.2. A gerência através de <i>software</i>	62
5.5. Programa de gerenciamento e interface com o usuário	63
5.6. Comentários e conclusões	66
6 Testes realizados	67
6.1. Descrição do teste	67
6.2. Descrição do elemento de rede escolhido	67
6.3. Teste de referência	69
6.4. Resultados obtidos	69
6.5. Fotos da montagem para a realização dos testes	75
6.6. Comentários e Conclusões	76
7 Comentários finais e conclusões	77
7.1. Observações finais	77
7.2. Principais resultados obtidos	77
7.3. Principais problemas e desvantagens	78
7.4. Comentários adicionais e trabalhos futuros	79
8 Referências	80

Lista de figuras

Figura 1 – Diagrama básico da interface <i>local-link</i>	25
Figura 2 – Diagrama de conexão da interface <i>local-link</i>	26
Figura 3 – Organização estrutural (simplificada) da solução	28
Figura 4 – Inclusão no quadro de dados relativos ao teste	30
Figura 5 – Quadro contendo sinalizador de início de teste	31
Figura 6 – Fluxograma da lógica do receptor, capaz de contabilizar a perda de quadros	32
Figura 7 – Quadro contendo dados que possibilitam o cálculo do retardo	34
Figura 8 – Organização estrutural da solução capaz de avaliar o retardo	34
Figura 9 – Fluxograma da lógica do receptor para calcular o retardo médio dos quadros	36
Figura 10 – Bloco DCM	42
Figura 11 – Diagrama dos barramentos PLB e OPB, e a ponte que permite a comunicação entre eles	45
Figura 12 – Diagrama do módulo transmissor – primeira versão proposta	46
Figura 13 – Diagrama do módulo transmissor – segunda versão proposta, incluindo informações necessárias para o cálculo do retardo.	48
Figura 14 – Relação entre a taxa de transmissão e o IFG, para diferentes tamanhos de quadro	51
Figura 15 – Fluxograma da lógica do módulo transmissor, que descreve a sua máquina de estados	52
Figura 16 – Diagrama do módulo receptor – primeira versão proposta	53
Figura 17 – Diagrama do módulo receptor – segunda versão proposta, capaz de calcular o retardo dos quadros	55
Figura 18 – Diagrama detalhado da lógica do módulo receptor, que descreve a sua máquina de estados	57
Figura 19 – Diagrama do módulo de controle	59
Figura 20 – Diagrama do mecanismo de troca de informações entre pontos alimentados por sinais de <i>clock</i> distintos	61
Figura 21 – Detalhe do funcionamento do semáforo proposto	62

Figura 22 – Tela principal do programa de administração	64
Figura 23 – Tela principal do programa de administração, exibindo resultados parciais, durante um teste	65
Figura 24 – Tela de configuração do acesso pela porta serial	65
Figura 25 – Tela de configuração do período entre atualizações durante a realização de um teste	66
Figura 26 – Diagrama de blocos da montagem, para a realização dos testes	68
Figura 27 – Representação do resultado em forma gráfica, relacionando a máxima capacidade de transmissão, em quadros por segundo, com o tamanho dos quadros	70
Figura 28 – Representação do resultado em forma gráfica, relacionando a máxima capacidade de transmissão, em taxa de bits por segundo, com o tamanho dos quadros	71
Figura 29 – Representação gráfica dos resultados em comparação com os limites teóricos, em taxa de quadros e escala linear	71
Figura 30 – Representação gráfica dos resultados em comparação com os limites teóricos, em taxa de quadros e escala logarítmica	72
Figura 31 – Representação gráfica dos resultados em comparação com os limites teóricos, em taxa de bits e escala linear	72
Figura 32 – Representação gráfica dos resultados em comparação com os limites teóricos, em taxa de bits e escala logarítmica	73
Figura 33 – Representação do resultado em forma gráfica, relacionando o retardo médio, medido por ambos os equipamentos, com o tamanho dos quadros	74
Figura 34 – Vista geral da montagem durante a realização dos testes	75
Figura 35 – Detalhe da placa principal e do módulo óptico externo	75

Lista de tabelas

Tabela 1 – Modelo de matriz de resultados obtidos pelo módulo receptor, relacionando o retardo médio em faixas de tempo do segundo anterior.	37
Tabela 2 – Velocidades de operação de alguns padrões de comunicação, que podem ser obtidas com o uso do MGT	43
Tabela 3 – Máxima capacidade de transmissão, no padrão Gigabit-Ethernet, para quadros de diferentes tamanhos	50
Tabela 4 – Resultado dos testes, representando máxima capacidade de transmissão em quadros por segundo	70
Tabela 5 – Resultado dos testes, representando o retardo médio medido	74

Abreviaturas e siglas

ARP	Address Resolution Protocol
ATM	Asynchronous Transfer Mode
CSMA/CD	Carrier Sense Multiple Access with Collision Detection
DCM	Digital Clock Manager
FPGA	Field Programmable Gate Array
HDL	Hardware Description Language
IEEE	Institute of Electrical and Electronics Engineers
IFG	Inter-Frame Gap
IPTV	Internet Protocol Television
MAC	Media Access Control
MGT	Multi-Gigabit Transceiver
OPB	On-chip peripheral bus
PDH	Plesiochronous Digital Hierarchy
PLB	Processor Local Bus
QoS	Quality of Service
RAM	Random access memory
RFC	Request for Comments
ROM	Read Only Memory
SDH	Synchronous Digital Hierarchy
SFP	Small Form-Factor Pluggable
SLA	Service Level Agreement
SONET	Synchronous Optical Network
UART	Universal asynchronous receiver/transmitter
VHDL	VHSIC hardware description language
VHSIC	Very High Speed Integrated Circuit
VOIP	Voice Over IP
Wi-Fi	Wireless Fidelity