

7

Referências Bibliográficas

- [1] DA SILVA, Henrique José Pinto Portela. Geração de Inteligência Óptica em Redes Ethernet / IP. Dissertação de Mestrado. Departamento de Engenharia Elétrica, Pontifícia Universidade Católica do Rio de Janeiro, 2005.
- [2] Govind P. Agrawal, Fiber-Optic Communication Systems - Third Edition 2002.
- [3] Dennis Derickson, Fiber Optic Test and Measurement, 1998 by Prentice-Hall.
- [4] Clyde F. Coombs, Jr., Electronic instrument handbook, editor in chief. Second Edition 1995.
- [5] S. Haykin, Communication Systems, 4^a ed., John Wiley & Sons, 2001.
- [6] Trischitta, J.A.; Varma, E.L. Jitter in Digital Transmission Systems. New York: ArtechHouse, 1989.
- [7] Bellamy, J.C. Digital Network Synchronization. IEEE Communications Magazine, p.70-83, 1995.
- [8] Bregni, C.S. A historical perspective on telecommunications network synchronization. IEEE Communication Magazine, p.158-166, 1998.
- [9] Kartaschoff, P. Synchronization in digital communications networks. Proceedings of the IEEE, v.79-7, p.1019-1028, 1991.
- [10] Xilinx Logic Core, Linear Feedback Shift Register v3.0, Product Specification. March 28, 2003.
- [11] Tom Balph, Motorola Semiconductor. LFSR counters implement binary polynomial generators, EDN Design Feature.
- [12] P. Alfke, "Efficient Shift Registers, LFSR, Counters, and Long Pseudo-Random Sequence Generators" v1.1, XAPP052, July 7, 1996.
- [13] Xilinx. Datasheet: Virtex-II Platform FPGA User Guide. Electronic Publication, 2002.
- [14] National Semiconductor. Datasheet: TLK2201A, TLK2201AI Ethernet Transceivers. Electronic Publication, 2003.
- [15] Ben Cohen, Real Chip Design and Verification Using Verilog and VHDL, VHDL Cohen Publishing, 2002.
- [16] Sudhakar Yalamanchili, VHDL Starter's Guide. Prentice Hall, 1998.
- [17] HDL Chip Design, Douglas J. Smith, Doone Publications, 1996.

- [18] Samir Palnitkar, Verilog HDL: A Guide to Digital Design and Synthesis. Sunsoft Press / Prentice Hall PTR, 1996.
- [19] N. Ghani, S. Dixit and T. S. Wang, "On IP-Over-WDM Integration", IEEE Communications Magazine, Março 2000, pp. 72-84.
- [20] Michael John Smith, Application Specific Integrated Circuits, Addison-Wesley, Junho, 1997.
- [21] Simon Stanley, Network Processors Report, relatório da Lightreading, www.lightreading.com.
- [22] Storage Area Network - [IETF-29] IETF-draft iSCSI, Março, 2001.
- [23] Simon Stanley, Packet Switching Chips, relatório da Lightreading, www.lightreading.com.
- [24] Charles E. Spurgeon, Ethernet, o Guia Definitivo, Editora Campus, 2000.
- [25] Douglas Comer, Network System Design Using Network Processors, Prentice Hall, 2003.
- [26] H. J. P. P. Silva, M. M. Mosso, R. A. A. Lima, B. C. L. Guedes, and A. Podcameni, A NEW OPTICAL GIGABIT ETHERNET NETWORK ELEMENT, MICROWAVE AND OPTICAL TECHNOLOGY LETTERS / Vol. 48, No. 7, July 2006.
- [27] Robert Breyer / Sean Riley Switched, Fast, and Gigabit Ethernet – Third Edition. New Riders Publishing, 1999.
- [28] Wiley – Ethernet Networks. Design, Implementation, Operation, Management, 4th Edition.

Apêndice A: Seleção do tipo do polinômio para contadores LFSR

Existem dois tipos de configurações para contadores LFSR: Fibonacci e Galois [10]. Na implementação Fibonacci, as saídas de alguns registradores são ligadas ao Ou-Exclusivo e em seguida realimentadas na entrada do primeiro registro. Essa realimentação ocorre na direção oposta ao deslocamento dos registros e os taps são incrementados ao longo da direção de deslocamento. Já na implementação Galois as portas Ou-Exclusivo são posicionadas entre os registros. A realimentação ocorre na mesma direção dos registradores e os taps são decrementados na direção de deslocamento.

Para LFSR's com poucos taps, a implementação Fibonacci geralmente alcança uma velocidade de relógio mais rápida que na implementação Galois. Embora rápida para um número pequeno de taps, a implementação Fibonacci começa a apresentar uma degradação de desempenho com o incremento do número de taps.

No entanto, a implementação Galois não apresenta nenhuma perda de desempenho com o incremento de taps. Dessa forma, essa implementação é recomendada para alcançar um resultado de velocidade desejado para um número de taps maior que 5. A seguir, são apresentados dois exemplos de contadores de 3 bits baseado em ambas implementações.

Começamos com o exemplo da Figura 38 abaixo baseado na implementação Fibonacci.

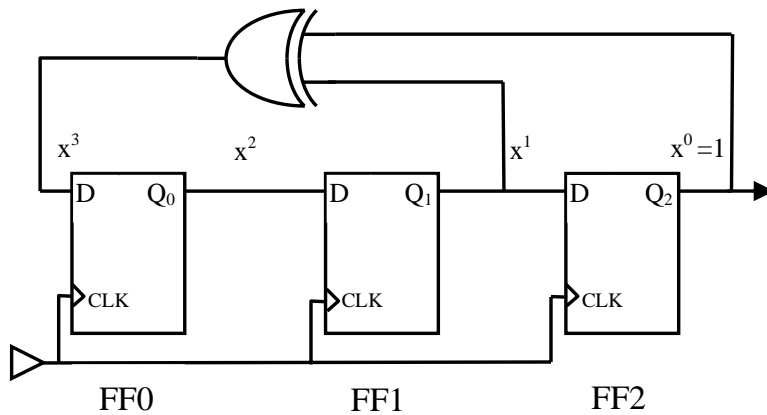


Figura 38. Contador LFSR de 3 bits baseado na implementação Fibonacci com polinômio $f(x) = x^3 + x + 1$.

Quando os registradores de deslocamento são inicializados com os valores 111 e em seguida é acionado o relógio, temos na saída Q2 do contador LFSR uma seqüência pseudo-aleatória de 1's e 0's. A seqüência pseudo-aleatória também pode ser gerada utilizando portas NOR-Exclusivo.

A Tabela 3 abaixo apresenta a seqüência gerada pelo circuito da Figura 38 acima quando os registros são inicializados com os valores 111.

Clk	Q2	Q1	Q0
0	1	1	1
1	1	1	0
2	1	0	0
3	0	0	1
4	0	1	0
5	1	0	1
6	0	1	1
7	1	1	1

Tabela 3. Seqüência gerada através do circuito da Figura 38 quando as saídas dos registros são inicializadas com o valor 111.

No módulo transmissor desenvolvido no capítulo 3 considerou-se a implementação Fibonacci uma vez que temos apenas dois taps no contador LFSR utilizado.

Segue na Figura 39 abaixo um exemplo de contador de 3 bits também mas baseado na implementação Galois.

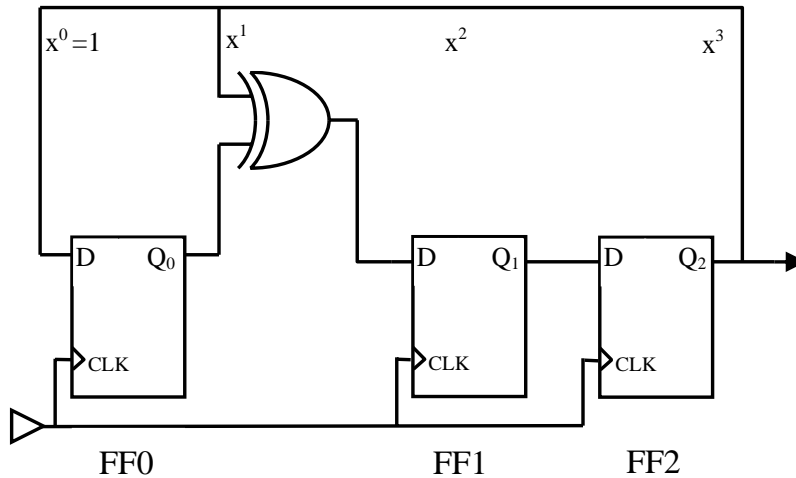


Figura 39. Contador LFSR de 3 bits baseado na implementação Galois com polinômio $f(x) = x^3 + x + 1$.

A configuração acima gera as seqüências apresentadas na Tabela 4 abaixo.

Clk	Q2	Q1	Q0
0	1	1	1
1	1	0	1
2	0	0	1
3	0	1	0
4	1	0	0
5	0	1	1
6	1	1	0
7	1	1	1

Tabela 4. Seqüência gerada pelo circuito da Figura 39 acima quando as saídas dos registros são inicializadas com o valor 111.

A Tabela 4 mostra que a saída desta seqüência (Q2) é a mesma obtida no primeiro exemplo (Fibonacci) embora esteja deslocada de 1 ciclo no tempo.

Dessa forma, o comprimento da seqüência pseudo-aleatória depende do comprimento do registrador de deslocamento e também do número e posição dos taps de realimentação. O número e a posição dos taps pode ser representada em

um polinômio. A Xilinx possui uma tabela com todas essas características anexadas no Apêndice B.

Apêndice B: Polinômios para geração da seqüência PRBS com comprimento máximo

A Tabela 5 abaixo apresenta os polinômios que geram uma seqüência de comprimento máximo para um dado LFSR com as respectivas posições dos taps [10].

No caso da presente dissertação, utilizou-se o contador LFSR de 10 bits, considerando os taps 7 e 10, seu respectivo polinômio característico ($x^{10} + x^3 + 1$) com comprimento da seqüência 1023, para implementá-lo de forma correta e poder assim gerar uma seqüência pseudo aleatória de 10 bits.

LFSR Size (n)	Fibonacci implementation with outputs from registers numbered					Polynomial 1-Terms (Xn)					Sequence Length	
2	2	1						2	1	0	3	
3	3	2						3	1	0	7	
4	4	3						4	1	0	15	
5	5	3						5	2	0	31	
6	6	5						6	1	0	63	
7	7	6						7	1	0	127	
8	8	6	5	4			8	4	3	2	0	255
9	9	5						9	4	0	511	
10	10	7						10	3	0	1023	
11	11	9						11	2	0	2047	
12	12	6	4	1			12	11	8	6	0	4095
13	13	4	3	1			13	12	10	9	0	8191
14	14	5	3	1			14	13	11	9	0	16383
15	15	14						15	1	0	32767	
16	16	15	13	4			16	12	3	1	0	65535

LFSR Size (n)	Fibonacci implementation with outputs from registers numbered					Polynomial 1-Terms (Xn)					Sequence Length			
17	17	14							17	3	0	131071		
18	18	11							18	7	0	262143		
19	19	6	2	1			19	18	17	13	0	524287		
20	20	17							20	3	0	1048575		
21	21	19							21	2	0	2097151		
22	22	21							22	1	0	4194303		
23	23	18							23	5	0	8388607		
24	24	23	22	17			24	7	2	1	0	16777215		
25	25	22							25	3	0	33554431		
26	26	6	2	1			26	25	24	20	0	67108863		
27	27	5	2	1			27	26	25	22	0	134217727		
28	28	25							28	3	0	268435455		
29	29	27							29	2	0	536870911		
30	30	6	4	1			30	29	26	24	0	1073741823		
31	31	28							31	3	0	2147483647		
32	32	22	2	1			32	31	30	10	0	4294967295		
33	33	20							33	13	0	8589934591		
34	34	27	2	1			34	33	32	7	0	17179869183		
35	35	33							35	2	0	34359738367		
36	36	25							36	11	0	68719476735		
37	37	5	4	3	2	1	37	36	35	34	33	32	0	1.37439E+11
38	38	6	5	1				38	37	33	32	0	2.74878E+11	
39	39	35							39	4	0	5.49756E+11		
40	40	38	21	19				40	21	19	2	0	1.09951E+12	
41	41	38							41	3	0	2.19902E+12		
42	42	41	20	19				42	23	22	1	0	4.39805E+12	
43	43	42	38	37				43	6	5	1	0	8.79609E+12	
44	44	43	18	17				44	27	26	1	0	1.75922E+13	
45	45	44	42	41				45	4	3	1	0	3.51844E+13	
46	46	45	26	25				46	21	20	1	0	7.03687E+13	
47	47	42							47	5	0	1.40737E+14		
48	48	47	21	20				48	28	27	1	0	2.81475E+14	
49	49	40							49	9	0	5.6295E+14		

LFSR Size (n)	Fibonacci implementation with outputs from registers numbered					Polynomial 1-Terms (Xn)					Sequence Length	
50	50	49	24	23			50	27	26	1	0	1.1259E+15
51	51	50	36	35			51	16	15	1	0	2.2518E+15
52	52	49							52	3	0	4.5036E+15
53	53	52	38	37			53	16	15	1	0	9.0072E+15
54	54	53	18	17			54	37	36	1	0	1.80144E+16
55	55	31							55	24	0	3.60288E+16
56	56	55	35	34			56	22	21	1	0	7.20576E+16
57	57	50							57	7	0	1.44115E+17
58	58	39							58	19	0	2.8823E+17
59	59	58	38	37			59	22	21	1	0	5.76461E+17
60	60	59							60	1	0	1.15292E+18
61	61	60	46	45			61	16	15	1	0	2.30584E+18
62	62	61	6	5			62	57	56	1	0	4.61169E+18
63	63	62							63	1	0	9.22337E+18
64	64	63	61	60			64	4	3	1	0	1.84467E+19
65	65	47							65	18	0	3.68935E+19
66	66	65	57	56			66	10	9	1	0	7.3787E+19
67	67	66	58	57			67	10	9	1	0	1.47574E+20
68	68	59							68	9	0	2.95148E+20
69	69	67	42	40			69	29	27	2	0	5.90296E+20
70	70	69	55	54			70	16	15	1	0	1.18059E+21
71	71	65							71	6	0	2.36118E+21
72	72	66	25	19			72	53	47	6	0	4.72237E+21
73	73	48							73	25	0	9.44473E+21
74	74	73	59	58			74	16	15	1	0	1.88895E+22
75	75	74	65	64			75	11	10	1	0	3.77789E+22
76	76	75	41	40			76	36	35	1	0	7.55579E+22
77	77	76	47	46			77	31	30	1	0	1.51116E+23
78	78	77	59	58			78	20	19	1	0	3.02231E+23
79	79	70							79	9	0	6.04463E+23
80	80	79	43	42			80	38	37	1	0	1.20893E+24
81	81	77							81	4	0	2.41785E+24
82	82	79	47	44			82	38	35	3	0	4.8357E+24

LFSR Size (n)	Fibonacci implementation with outputs from registers numbered					Polynomial 1-Terms (Xn)					Sequence Length	
83	83	82	38	37			83	46	45	1	0	9.67141E+24
84	84	71							84	13	0	1.93428E+25
85	85	84	58	57			85	28	27	1	0	3.86856E+25
86	86	85	74	73			86	13	12	1	0	7.73713E+25
87	87	74							87	13	0	1.54743E+26
88	88	87	17	16			88	72	71	1	0	3.09485E+26
89	89	51							89	38	0	6.1897E+26
90	90	89	72	71			90	19	18	1	0	1.23794E+27
91	91	90	8	7			91	84	83	1	0	2.47588E+27
92	92	91	80	79			92	13	12	1	0	4.95176E+27
93	93	91							93	2	0	9.90352E+27
94	94	73							94	21	0	1.9807E+28
95	95	84							95	11	0	3.96141E+28
96	96	94	49	47			96	49	47	2	0	7.92282E+28
97	97	91							97	6	0	1.58456E+29
98	98	87							98	11	0	3.16913E+29
99	99	97	54	52			99	47	45	2	0	6.33825E+29
100	100	63							100	37	0	1.26765E+30
101	101	100	95	94			101	7	6	1	0	2.5353E+30
102	102	101	36	35			102	67	66	1	0	5.0706E+30
103	103	94							103	9	0	1.01412E+31
104	104	103	94	93			104	11	10	1	0	2.02824E+31
105	105	89							105	16	0	4.05648E+31
106	106	91							106	15	0	8.11296E+31
107	107	105	44	42			107	65	63	2	0	1.62259E+32
108	108	77							108	31	0	3.24519E+32
109	109	108	103	102			109	7	6	1	0	6.49037E+32
110	110	109	98	97			110	13	12	1	0	1.29807E+33
111	111	101							111	10	0	2.59615E+33
112	112	110	69	67			112	45	43	2	0	5.1923E+33
113	113	104							113	9	0	1.03846E+34
114	114	113	33	32			114	82	81	1	0	2.07692E+34
115	115	114	101	100			115	15	14	1	0	4.15384E+34

LFSR Size (n)	Fibonacci implementation with outputs from registers numbered					Polynomial 1-Terms (Xn)					Sequence Length	
116	116	115	46	45			116	71	70	1	0	8.30767E+34
117	117	115	99	97			117	20	18	2	0	1.66153E+35
118	118	85							118	33	0	3.32307E+35
119	119	111							119	8	0	6.64614E+35
120	120	113	9	2			120	118	111	7	0	1.32923E+36
121	121	103							121	18	0	2.65846E+36
122	122	121	63	62			122	60	59	1	0	5.31691E+36
123	123	121							123	2	0	1.06338E+37
124	124	87							124	37	0	2.12676E+37
125	125	124	18	17			125	108	107	1	0	4.25353E+37
126	126	125	90	89			126	37	36	1	0	8.50706E+37
127	127	126							127	1	0	1.70141E+38
128	128	126	101	99			128	29	27	2	0	3.40282E+38
129	129	124							129	5	0	6.80565E+38
130	130	127							130	3	0	1.36113E+39
131	131	130	84	83			131	48	47	1	0	2.72226E+39
132	132	103							132	29	0	5.44452E+39
133	133	132	82	81			133	52	51	1	0	1.0889E+40
134	134	77							134	57	0	2.17781E+40
135	135	124							135	11	0	4.35561E+40
136	136	135	11	10			136	126	125	1	0	8.71123E+40
137	137	116							137	21	0	1.74225E+41
138	138	137	131	130			138	8	7	1	0	3.48449E+41
139	139	136	134	131			139	8	5	3	0	6.96898E+41
140	140	111							140	29	0	1.3938E+42
141	141	140	110	109			141	32	31	1	0	2.78759E+42
142	142	121							142	21	0	5.57519E+42
143	143	142	123	122			143	21	20	1	0	1.11504E+43
144	144	143	75	74			144	70	69	1	0	2.23007E+43
145	145	93							145	52	0	4.46015E+43
146	146	145	87	86			146	60	59	1	0	8.9203E+43
147	147	146	110	109			147	38	37	1	0	1.78406E+44
148	148	121							148	27	0	3.56812E+44

LFSR Size (n)	Fibonacci implementation with outputs from registers numbered					Polynomial 1-Terms (Xn)					Sequence Length	
149	149	148	40	39			149	110	109	1	0	7.13624E+44
150	150	97							150	53	0	1.42725E+45
151	151	148							151	3	0	2.8545E+45
152	152	151	87	86			152	66	65	1	0	5.70899E+45
153	153	152							153	1	0	1.1418E+46
154	154	152	27	25			154	129	127	2	0	2.2836E+46
155	155	154	124	123			155	32	31	1	0	4.56719E+46
156	156	155	41	40			156	116	115	1	0	9.13439E+46
157	157	156	131	130			157	27	26	1	0	1.82688E+47
158	158	157	132	131			158	27	26	1	0	3.65375E+47
159	159	128							159	31	0	7.30751E+47
160	160	159	142	141			160	19	18	1	0	1.4615E+48
161	161	143							161	18	0	2.923E+48
162	162	161	75	74			162	88	87	1	0	5.84601E+48
163	163	162	104	103			163	60	59	1	0	1.1692E+49
164	164	163	151	150			164	14	13	1	0	2.3384E+49
165	165	164	135	134			165	31	30	1	0	4.67681E+49
166	166	165	128	127			166	39	38	1	0	9.35361E+49
167	167	161							167	6	0	1.87072E+50
168	168	166	153	151			168	17	15	2	0	3.74144E+50

Tabela 5. Polinômios para a geração da seqüência PRBS com comprimento máximo, onde pode-se observar na primeira coluna, o tamanho do contador (N), na segunda coluna, a posição dos taps, na terceira coluna, o respectivo polinômio e na última coluna o comprimento máximo da seqüência PRBS.

Apêndice C: Diagrama de blocos completo com todos os sinais utilizados no desenvolvimento do módulo receptor.

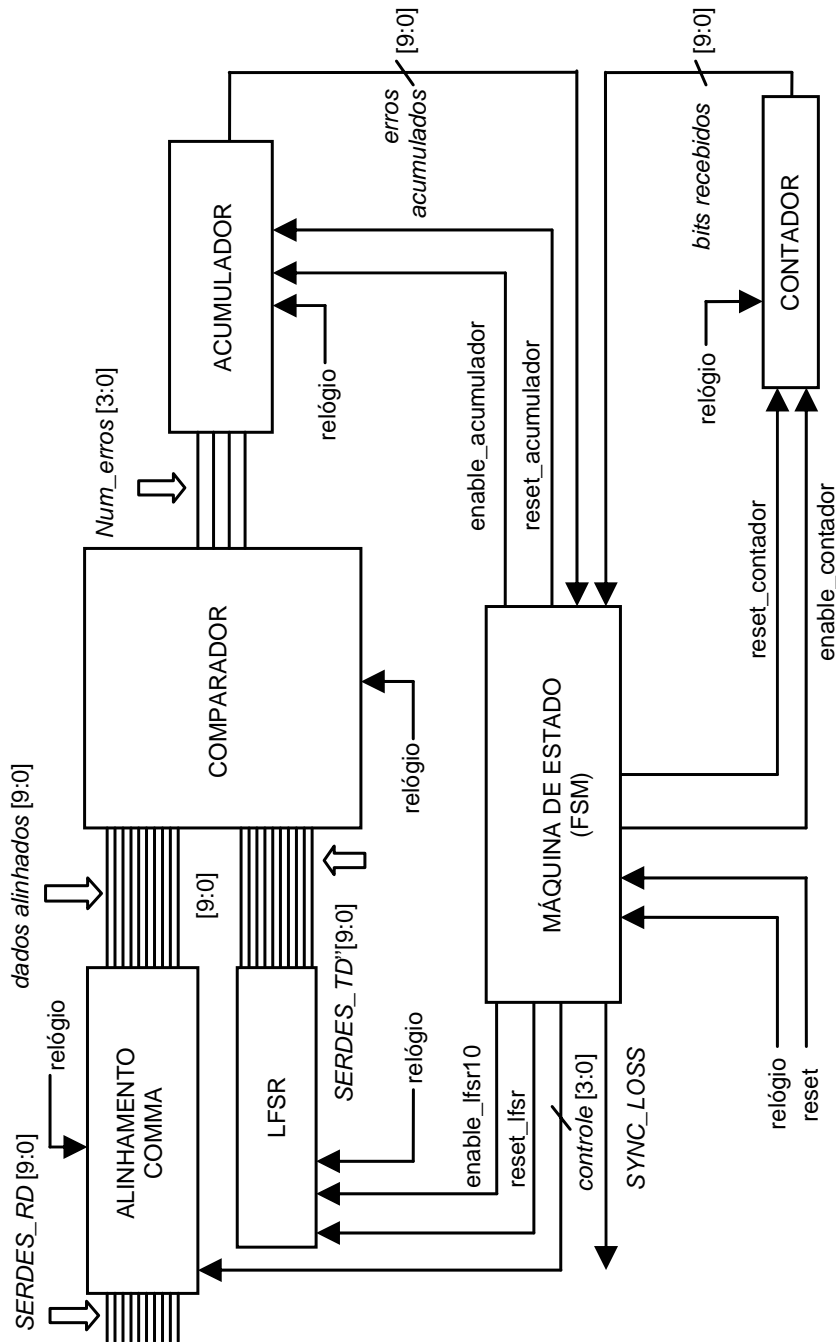


Figura 40. Diagrama de blocos completo apresentando todos os sinais utilizados no desenvolvimento do módulo receptor. Corresponde ao complemento da Figura 22 do capítulo 4.