

6

Resultados, comentários finais e conclusões

Neste capítulo são discutidos os resultados obtidos através das simulações dos módulos transmissor e receptor desenvolvidos, sendo estas comparadas com as montagens realizadas utilizando-se o analisador lógico de monitoração das interfaces internas ao FPGA. Algumas modificações e desenvolvimentos futuros são sugeridos no intuito de termos um dispositivo capaz de calcular efetivamente a Taxa de Bits Errados (BER) de redes Gigabit Ethernet.

6.1.

Resultados obtidos

Ao longo desta dissertação, destacou-se a importância da medida da taxa de bits errados, descreveram-se as principais fontes causadoras de erro, caracterizaram-se as técnicas de medição da BER e avaliou-se o desempenho de sistemas digitais.

As características de um contador LFSR com suas respectivas funcionalidades foram apresentadas e descritas. Dentre uma dessas funcionalidades pode-se destacar a geração de uma seqüência PRBS em 1.25 Gbit/s responsável pelo desenvolvimento de um módulo transmissor.

Introduziu-se também um conjunto de ferramentas computacionais necessárias para o desenvolvimento de um módulo receptor. Em seguida, detalharam-se os blocos desenvolvidos neste módulo destacando suas características e funcionalidades.

As simulações dos módulos transmissor e receptor, com e sem retardo entre estes, juntamente com as análises lógicas dos sinais internos ao FPGA foram apresentadas, comentadas e comparadas. Em ambas, pode-se observar que o

mecanismo de alinhamento proposto, baseado na quantidade de erros do sistema, operou de forma satisfatória.

Uma montagem prática do módulo foi implementada. Trechos de fibras ópticas com e sem atenuadores foram testados. Para cada teste, uma análise lógica detalhada foi realizada. Este procedimento atestou que o módulo operou de forma correta.

Para cada estado contendo 100 palavras de 10 bits, o número de bits errados pode ser verificado. Para a obtenção efetiva da taxa de erro seria necessário implementar uma interface através de programação dedicada capaz de totalizar o número de bits recebidos e o número de bits errados.

Na presente dissertação utilizou-se a totalização associada a apenas 100 palavras de 10 bits, ou seja, em uma janela de 1000 bits. Esta opção foi adotada em função das características da máquina de estados.

A interface de totalização e a interface com o micro serão implementadas futuramente através de programação dedicada tornando possível a indicação da BER. Um software deverá ser implementado utilizando o processador da Xilinx Power PC (PPC) e sua interface com o hardware já desenvolvido será possível através do barramento OPB (*On-chip Peripheral Bus*) de acordo com a figura abaixo. O FPGA da placa utilizada nesta dissertação não possui o processador PPC. Desta forma, torna-se necessário a migração para uma outra placa contendo um FPGA mais sofisticado.

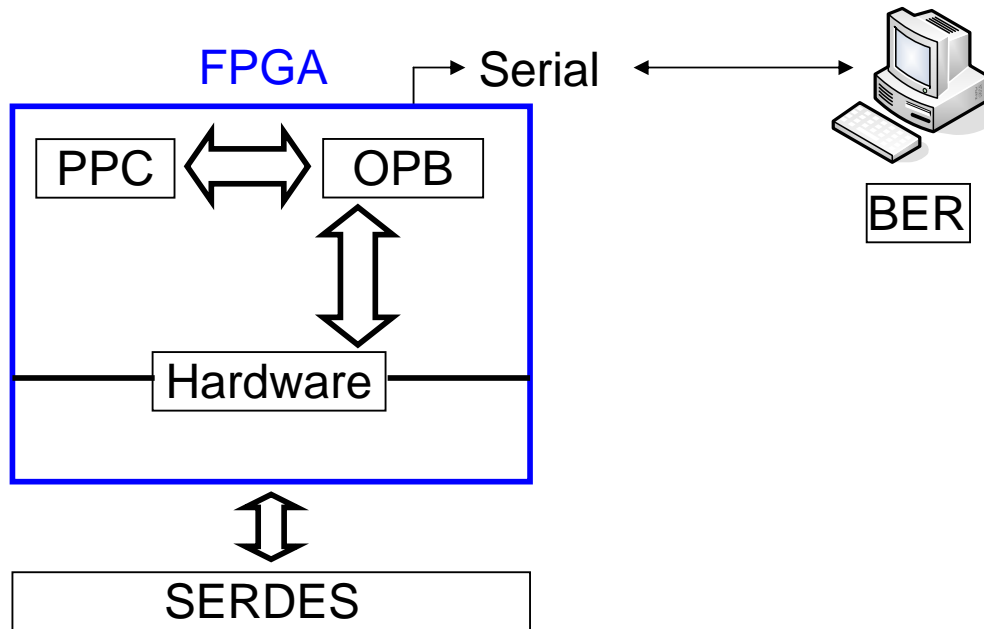


Figura 37. Diagrama das ferramentas computacionais a serem desenvolvidas no FPGA para haver a comunicação com o hardware desenvolvido.

6.2. Alterações e desenvolvimentos futuros

Para obter-se um desempenho de maior qualidade, pode-se sugerir algumas alterações e desenvolvimentos futuros, entre elas:

1. Desenvolvimento de módulos com palavras de 20 bits

Para adaptar-se a novas configurações de placas que possuem SERDES de 20 bits, atender-se a padrões do IEEE, diminuir as penalidades devido ao jitter, uma versão da ferramenta computacional desenvolvida está sendo modificada e futuramente estará em fase de testes.

2. Desenvolvimento de uma interface de medição

Utilizando os resultados dos testes da máquina de estados desenvolvida nesta dissertação, uma interface dedicada à totalização dos bits errados e recebidos está sendo planejada.

3. Desenvolvimento para medições em taxas de 10 Gbit/s

A partir de estudo e seleção de novos “chipsets”, pretende-se desenvolver um módulo capaz de operar na taxa de 10 Gbit/s.