

### 3 Realização e Caracterização do Módulo Transmissor

Este capítulo tem como objetivo estudar e caracterizar o módulo a ser desenvolvido na transmissão através da introdução de uma ferramenta computacional para FPGA, responsável por gerar um padrão PRBS na taxa de 1.25Gbit/s.

#### 3.1. Introdução

Para gerar uma seqüência pseudo-aleatória de bits em 1.25Gbit/s e desenvolver a ferramenta computacional a ser inserida no FPGA<sup>2</sup> utilizou-se o contador LFSR (*Linear Feedback Shift Register*) [10],[11],[12],[15] que é formado por registradores de deslocamento com realimentação linear.

O circuito de um LFSR pode ser definido resumidamente como um conjunto de Flip-Flops tipo D (FFD) com a saída do último e de algum outro FFD ligados, a partir de uma porta Ou-Exclusivo (XOR - *Exclusive-OR*), na entrada do primeiro FFD. Esse tipo de caracterização do contador LFSR corresponde à configuração Fibonacci utilizada neste módulo e será detalhada no próximo item 3.2.

Este tipo de contador será introduzido a seguir.

---

<sup>2</sup> FPGAs são circuitos integrados programáveis que contém arrays de blocos lógicos cujas funções e conexões podem ser configuradas para implementar uma funcionalidade específica e estes podem ser reconfigurados inúmeras vezes pelo usuário.

### 3.2. Linear Feedback Shift Registers – LFSR counter

Um contador LFSR com N-bits é um registrador de deslocamento com realimentação linear que utiliza N flip-flops podendo implementar no máximo  $2^N - 1$  estados sem repetições destes [10],[11].

Esse contador tem as seguintes funcionalidades:

- É usado para gerar uma seqüência PRBS (*Pseudo Random Binary Sequence*)
- Minimiza a complexidade de roteamento reduzindo a quantidade de lógica requerida.
- Não conta sequencialmente e apresenta elementos XOR em seu loop, o que torna essa contagem muito rápida. Isso já não acontece no caso do contador binário que conta sequencialmente e possui uma lógica mais complexa.
- É implementado através de um polinômio primitivo, o que torna a seqüência PRBS máxima.
- Pode ser usado em comunicações de dados para conversão serial-para-paralelo e paralelo-para-serial.

Existem dois tipos de configurações para contadores LFSR: Fibonacci e Galois. Mais detalhes sobre essas configurações estão apresentados no Apêndice A no final desta dissertação [10].

A configuração da placa utilizada continha um chip SERDES (*SERializer / DESerializer*) contendo uma entrada com 10 bits em paralelo no módulo de transmissão. Tornou-se conveniente então a implementação de uma seqüência de



utilizados fornecida pelo fabricante Xilinx e está apresentada no Apêndice B. Um

LFSR está associado a uma função matemática  $f(x) = \sum_{i=1}^N h_i x^i + 1$ .

De acordo com os polinômios utilizados para descrever o contador LFSR podemos fazer algumas considerações baseadas na implementação Fibonacci:

1ª) O último tap, que representa a saída do último registrador de deslocamento e é usado na ligação de realimentação com a porta Ou-Exclusivo, possui sempre o valor 1 representando  $x^0$ .

2ª) O comprimento do registrador de deslocamento pode ser deduzido através do expoente do termo de maior ordem no polinômio.

3ª) O termo de maior ordem no polinômio é representado pela ligação entre a saída da porta Ou-Exclusivo com a entrada do primeiro registrador de deslocamento.

Por exemplo, para implementar um contador LFSR de 4 bits devemos utilizar o seu polinômio primitivo  $f(x) = x^4 + x + 1$  de acordo com o Apêndice B, para então obtermos o desenho de seu circuito e este polinômio produz a seqüência de valores apresentada na Tabela 1. Observe que o LFSR deve ser inicializado com um valor diferente de zero pois neste caso todas as saídas Q's e a saída do Ou-Exclusivo serão zero e o contador permanecerá sempre nesse estado.

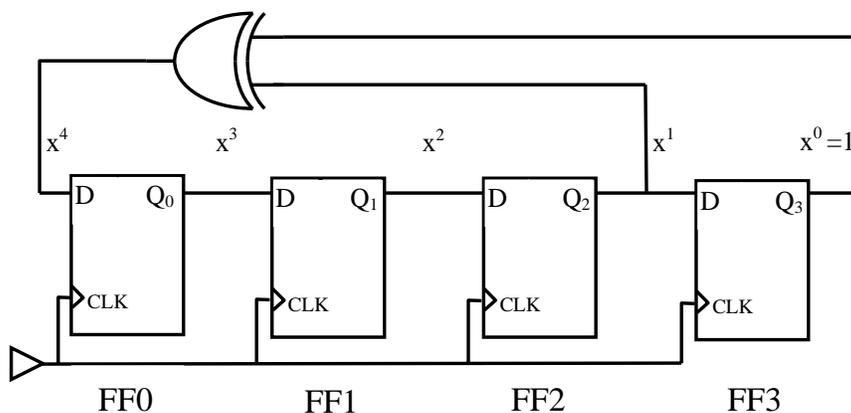


Figura 16. Exemplo de LFSR de 4 estágios.

Onde os respectivos coeficientes  $h_i$ 's são:  $(h_4, h_3, h_2, h_1, h_0) = (1, 0, 0, 1, 1)$ .

Clk	Q0	Q1	Q2	Q3
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	1	0	0	1
4	1	1	0	0
5	0	1	1	0
6	1	0	1	1
7	0	1	0	1

Clk	Q0	Q1	Q2	Q3
8	1	0	1	0
9	1	1	0	1
10	1	1	1	0
11	1	1	1	1
12	0	1	1	1
13	0	0	1	1
14	0	0	0	1
15=0	1	0	0	0

Tabela 1. Seqüência de contagem do Contador LFSR da Figura 16 com a geração de 15 estados ( $2^4 - 1$ ) sendo Q0 a saída do primeiro FFD à esquerda.

Os polinômios primitivos da Tabela 5 do Apêndice B fornecem as configurações do Ou-Exclusivo que produzirão a seqüência de comprimento máximo. Na mesma tabela também temos a posição dos taps para cada um dos polinômios com os respectivos tamanhos (N) dos contadores LFSR e com o comprimento máximo de cada contador. A tabela completa possui valores para N até 168 [10].

### 3.3. Escolha de uma arquitetura de placa

Primeiramente escolheu-se uma arquitetura de placa já desenvolvida e montada no CETUC [1] para ativar as funcionalidades de geração de tráfego Ethernet em 1.25Gbit/s. Esta placa possui 4 camadas e apresenta um FPGA cujo modelo é o Virtex II [13] da Xilinx de 250 mil gates, possuindo também um chip SERDES [14] que é um serializador e deserializador de dados operando na taxa de 1.25Gbit/s e um chip PHY Ethernet que é um transceiver de camada física. O desenho da placa utilizada segue na Figura 17 abaixo.

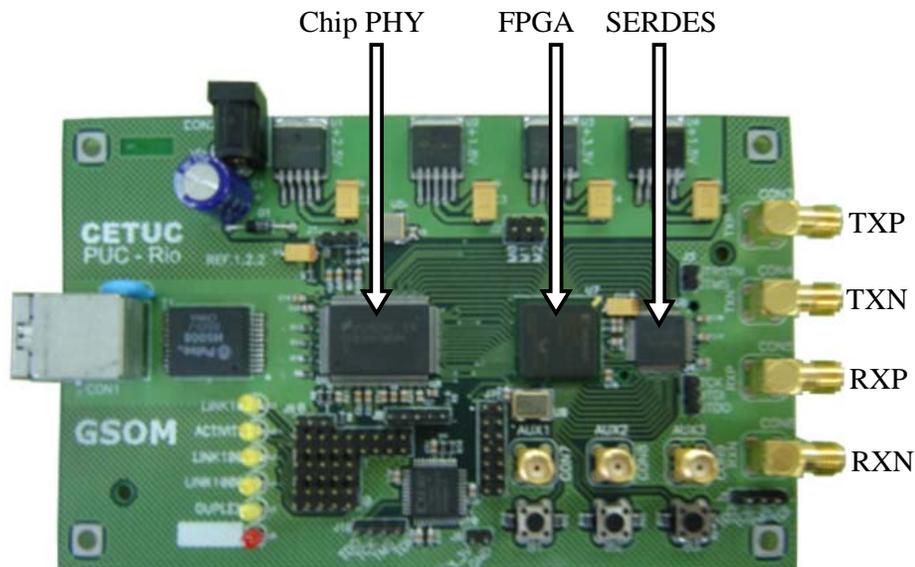


Figura 17. Placa principal utilizada para inserir as ferramentas computacionais capazes de gerar uma seqüência pseudo-aleatória em 1.25Gbit/s.

Esta placa possui duas portas de saída diferencial na transmissão, TXP e TXN, e duas as portas de entrada diferencial na recepção, RXP e RXN.

Utilizou-se também uma placa óptica de duas camadas contendo um laser e um fotodetector [1]. Este módulo é compatível com o SERDES da placa principal e também opera na taxa de 1.25 Gbit/s apresentando uma entrada e saída de dados no padrão elétrico PECL<sup>5</sup>.

A placa óptica foi utilizada apenas nas montagens práticas desenvolvidas, sendo estas apresentadas no final do capítulo 5, item 5.3.

---

<sup>5</sup> A sigla PECL significa *Positive Emitter Coupled Logic* e é um padrão que define características elétricas de um sinal. Uma característica importante dele é o fato de ser um sinal diferencial. Esse padrão é geralmente utilizado na interface de Lasers e Detectores.

### 3.4. Ferramentas computacionais desenvolvidas no FPGA

Um módulo transmissor foi desenvolvido e ativado através de um FPGA. Para tal, uma ferramenta computacional dedicada foi implementada na linguagem VHDL<sup>6</sup> [15],[16],[18] para ativação de um contador LFSR de 10 e 20 bits considerando a tabela de polinômios primitivos da Tabela 5 do Apêndice B [10].

Dessa forma a configuração abaixo representa um contador LFSR de 10 bits que é obtido através de seu polinômio primitivo ( $x^{10} + x^3 + 1$ ) e 10 FFDs. Este polinômio irá produzir uma seqüência PRBS de comprimento máximo (1023 palavras com 10 bits cada uma).

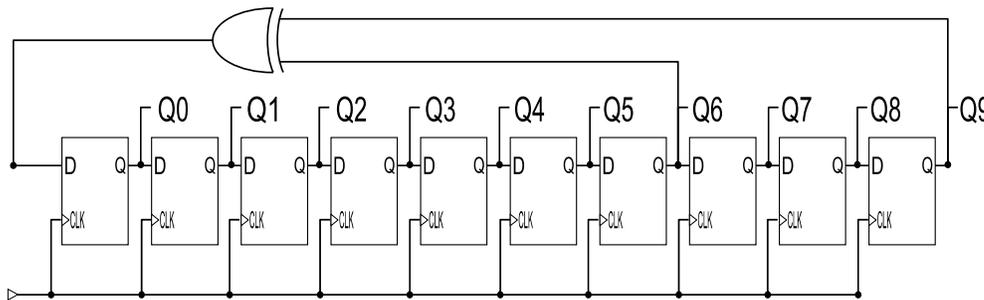


Figura 18. Contador LFSR de 10 bits utilizado para gerar uma seqüência PRBS de comprimento máximo.

Utilizando a linguagem VHDL no software de programação da Xilinx ISE Project Navigator 8.2i obteve-se a simulação no ModelSim ( Software de Simulação da Xilinx) do comprimento máximo deste contador LFSR fazendo um Ou-Exclusivo (XOR – *Exclusive Or*) das saídas Q6 com Q9 onde Q6 representa o tap 7 e Q9 representa o tap 10 da Tabela 5 do Apêndice B uma vez que nela a numeração dos taps inicia com o tap 1 e não com o tap 0 como representamos na figura acima, sendo sempre o primeiro tap representado pela saída do primeiro

<sup>6</sup> A sigla VHDL significa *VHSIC Hardware Description Language* sendo que VHSIC por sua vez significa *Very High Speed Integrated Circuit*. As linguagens de descrição de hardware permitem a modelagem e simulação de circuitos integrados digitais.

flip-flop à esquerda. Dessa forma, pode-se gerar uma seqüência PRBS máxima apresentada na Figura 19 abaixo.

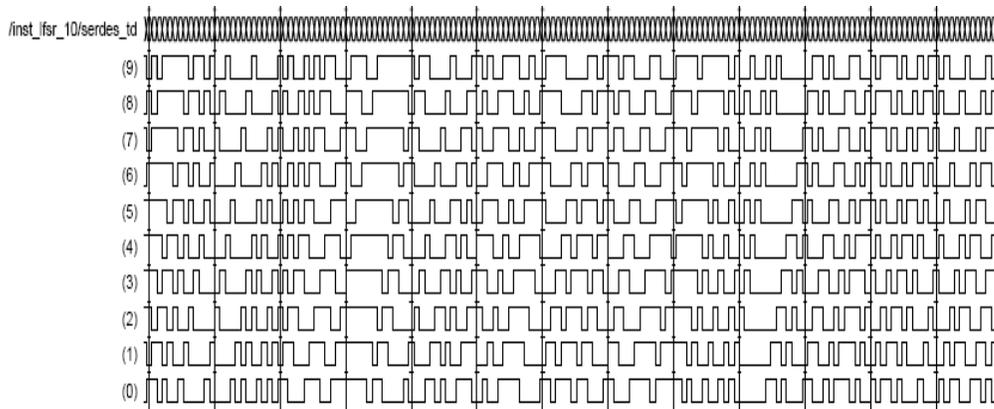


Figura 19. Simulação do comprimento máximo da seqüência PRBS utilizando o contador LFSR de 10 bits.

O bloco LFSR da transmissão apresenta três portas de entrada: *relógio*, *reset* e *enable\_lfsr10* e uma porta de saída: *SERDES\_TD* (10 bits) no processo de desenvolvimento em hardware.

Durante o processo de programação as 10 saídas Q's (Q0 até o Q9) de cada um dos flip-flops foram conectadas às 10 entradas paralelas de transmissão de dados do SERDES (TD - *Transmit Data*) juntamente com alguns sinais internos ao mesmo para possibilitar a comunicação destas duas interfaces (FPGA/SERDES).

O chip SERDES suporta uma interface de 10 bits (TBI - *Ten Bit Interface*) ou uma interface reduzida de 5 bits (DDR - *Double Data Rate*). Neste módulo transmissor utilizou-se a interface TBI de 10 bits sendo que por especificação, o bit 0 é o primeiro bit a ser transmitido e os 10 bits de dados são registrados na transição positiva do REFCLK (*Reference Clock*) que é o relógio responsável pela sincronização entre as interfaces do transmissor e receptor (etapa de conversão serial / paralelo).

Neste módulo, o SERDES opera serializando os dados para transmiti-los nos diferentes níveis de tensão do padrão elétrico PECL. O chip SERDES extrai a

informação de relógio dos dados seriais transmitidos, para disserializá-los em 10 bits paralelos no módulo de recepção.

Dessa forma, tornou-se possível analisar no osciloscópio o diagrama de olho da Figura 20 abaixo através da montagem de bancada. Nesta montagem, a programação do contador LFSR de 10 bits no software da Xilinx foi transferida para a placa através de um cabo paralelo JTAG<sup>7</sup> também da Xilinx. Através da geração da seqüência pseudo-aleatória obtida foi possível observar-se o diagrama de olho.

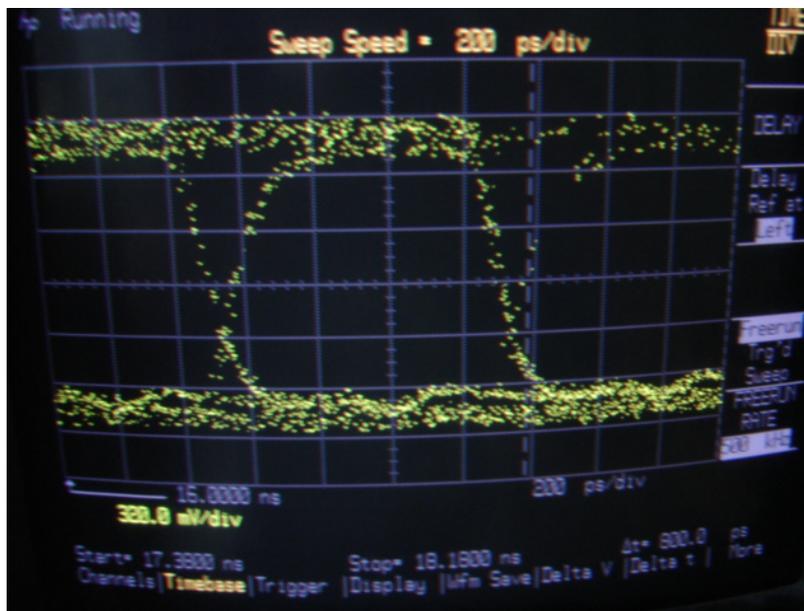


Figura 20. Diagrama de olho observado no osciloscópio através da seqüência PRBS gerada.

---

<sup>7</sup> A sigla JTAG significa *Joint Test Action Group* e é um tipo de interface de testes e programação padronizada que serve para interligar uma porta paralela ou serial à um FPGA ou CPLD (*Complex Programmable Logic Device*). Dessa forma, o FPGA pode ser programado através dessa interface utilizando-se geralmente quatro pinos (TDO – Test data Out, TCK – Test Clock, TDI – Test Data In e TMS – Test Mode Select) juntamente com os pinos de VCC e GND.

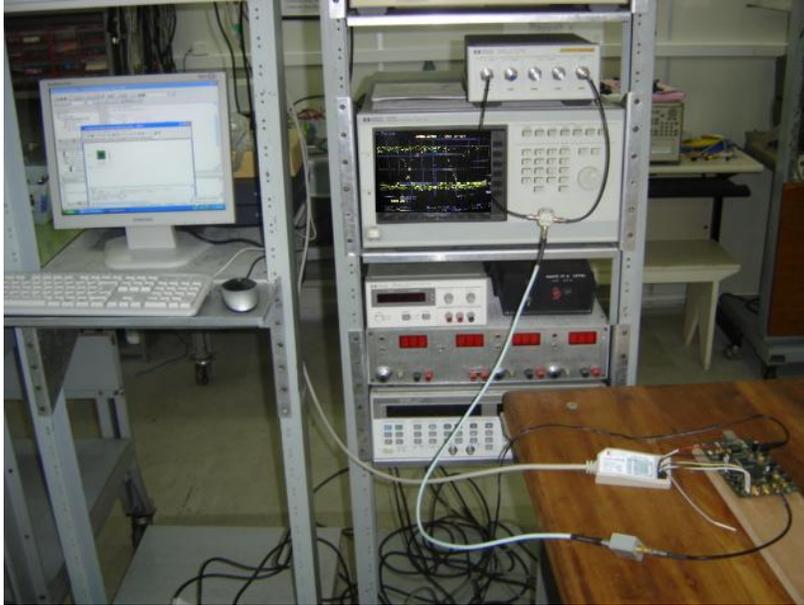


Figura 21. Setup da montagem do módulo desenvolvido para a transmissão.

O mesmo procedimento de desenvolvimento em hardware foi feito para um contador LFSR de 20 bits utilizando seu respectivo polinômio primitivo ( $x^{20} + x^3 + 1$ ) ligando as saídas Q16 (tap17) e Q19 (tap20) na porta Ou-Exclusivo, só que neste caso o processo de interfaceamento entre o FPGA e o SERDES torna-se mais complicado aumentando a complexidade do desenvolvimento pois temos 20 saídas Q's dos flip-flops para conectar nos 10 bits de transmissão de dados do SERDES. Neste caso, foi necessário a utilização de uma máquina de estados (com 2 estados) e um MUX [10:1] que ora selecionava os 10 bits mais significativos ora os 10 bits menos significativos da mesma seqüência de 20 bits para então o contador LFSR ser incrementado e buscar a nova contagem de 20 bits. Portanto, por motivos simplificadoros utilizou-se apenas a configuração do contador LFSR de 10 bits.

### **3.5. Conclusão**

Ao longo do presente capítulo foram introduzidas as características de um contador LFSR. A seleção de uma placa anteriormente desenvolvida no CETUC foi apresentada. Um conjunto de ferramentas computacionais capazes de gerar uma seqüência PRBS em 1.25Gbit/s utilizando o FPGA da placa selecionada foi desenvolvido. O gerador de seqüência assim desenvolvido foi realizado e com êxito descrito.