

1 Introdução

Esta dissertação dedica-se ao desenvolvimento de um analisador de erro para Redes Ópticas através da utilização de circuitos integrados programáveis de última geração utilizando taxas que operam no padrão Ethernet 1000Base-X.

1.1. Motivação

A motivação, a justificativa e a oportunidade da presente dissertação está associada a novas configurações de redes de telecomunicações onde centros de armazenamento de dados (SAN = *Storage Area Networks*) [22], comutadores 1GBEthernet, 10GBEthernet, soluções WDM (*Wavelength Division Multiplexing*) / DWDM (*Dense Wavelength Division Multiplexing*), novas tecnologias de última milha etc, determinaram a necessidade constante e freqüente da avaliação de performance destas redes.

Os primeiros roteadores instalados nas redes de transporte utilizavam processadores genéricos para classificar e endereçar os pacotes a partir de seus cabeçalhos. Circuitos eletrônicos híbridos eram freqüentemente utilizados juntamente com alguns circuitos integrados dedicados. Com o aumento da velocidade de operação, circuitos ultra-rápidos dedicados, denominados de ASICs (*Application-Specific Integrated Circuits*) [20], foram incorporados aos roteadores. Entretanto, os processadores genéricos continuaram a ser utilizados para o indispensável gerenciamento das tabelas de roteamento. Os ASICs constituíram um avanço significativo em termos de velocidade, mas constituíam-se em elementos não programáveis.

A partir do final de 2001, alguns roteadores e switches passaram a ser implementados através da associação entre uma família de circuitos integrados dedicados, denominados “*switch chipset*”, e de circuitos processadores de redes (*Network Processors*). Os “*switch chipsets*” são circuitos integrados dedicados que implementam tarefas de comutação e gerenciamento de tráfego já padronizadas [23]. Constituem-se como uma aplicação em larga escala de ASICs. Desta forma, um fabricante não precisa projetar um circuito dedicado para o desenvolvimento de um switch ou roteador por estarem disponíveis “*chipsets*” capazes de implementar funcionalidades padronizadas ATM (*Assynchronous Transfer Mode*), SDH (*Synchronous Digital Hierarchy*)/SONET (*Synchronous Optical NETWORK*), IP (*Internet Protocol*) etc. A pouca flexibilidade de programação destes “*chipsets*” pode ser compensada pelos processadores de redes.

Processadores de redes [21],[25] assim como FPGA's (*Field Programmable Gate Array*) [1] são circuitos integrados capazes de combinar a programabilidade dos processadores genéricos e a velocidade dos ASICs. Estes chips permitem, devido a sua programabilidade e reprogramabilidade (capacidade de serem programados e reprogramados), o desenvolvimento de um sistema em um tempo dramaticamente inferior ao necessário para se desenvolver um ASIC, podendo ser modificado posteriormente (de forma fácil e rápida) a partir de demandas específicas do mercado.

O aumento dramático da densidade de integração em realizações de silício (Si), silício-germânio (SiGe) e arseneto de gálio (GaAs) respondem por esta tendência. Implementações de funcionalidades através de ferramentas computacionais baseadas em linguagens específicas tornaram o desenvolvimento de módulos de chaveamento, roteamento e gerência uma solução extremamente atraente. Além disso a possibilidade de alteração e correção de suas funcionalidades constituem um atrativo não apenas econômico mas principalmente simplificador.

As tecnologias FPGA podem ser associadas aos ASICs, que são componentes de baixo custo e alta capacidade, porém de pouca flexibilidade. Essa

associação permite que soluções de alta performance, baixo custo e alta flexibilidade sejam desenvolvidas.

Linguagens de programação específicas [15] para a configuração de componentes no interior de um circuito integrado tem sido elaboradas. As velocidades envolvidas permitem que soluções com taxas de operação da ordem de 1 Gbit/s, 10 Gbit/s e até 40 Gbit/s sejam implementadas. Interfaces padronizadas para utilização em redes Ethernet, SDH/SONET, ATM etc., passaram a ser implementadas de forma compacta e integrada.

Uma das soluções mais consagradas em termos de mercado utiliza a associação da tecnologia Gigabit Ethernet e CWDM (*Coarse Wavelength Division Multiplexing*) [19], principalmente em redes metropolitanas. **Pode-se então ser observada a evidente necessidade de avaliação do desempenho destas novas soluções e infra-estruturas de redes.**

Alguns trabalhos que estão sendo desenvolvidos no CETUC [26] tem permitido a utilização da linguagem VHDL [15],[16],[17],[18] e “chips” FPGA dos fabricantes ALTERA e XILINX. Na presente dissertação, a metodologia empregada consistirá na obtenção de uma inteligência eletrônica armazenada capaz de acionar a geração de tráfego segundo o padrão Ethernet [27], introduzi-lo em um elemento de rede ou em uma rede, para em seguida avaliar sua integridade.

Até o presente momento, estes equipamentos (BER Meter's) têm sido realizados através de tecnologias convencionais com custos extremamente elevados superiores a 50 mil dólares.

1.2. Objetivos

Pode-se então destacar os principais objetivos desta dissertação através dos seguintes tópicos:

1. Descrição e caracterização das principais fontes de erro e das técnicas de medição da taxa de bits errados em sistemas digitais justificando a

importância desta medida no intuito de avaliar o desempenho de enlaces elétricos e ópticos em redes de telecomunicações.

2. Desenvolvimento de um dispositivo de transmissão através da introdução de uma ferramenta computacional desenvolvida para FPGA, responsável por gerar um padrão PRBS (*Pseudo Random Binary Sequence*) / NRZ (*Non Return to Zero*) na taxa de 1.25Gbit/s contendo $2^{10}-1$ palavras de 10 bits cada.
3. Desenvolvimento de um dispositivo de recepção através da introdução de uma ferramenta computacional desenvolvida para FPGA, capaz de sincronizar e verificar os erros de uma seqüência gerada no padrão PRBS / NRZ contendo $2^{10}-1$ palavras de 10 bits cada.
4. Simulação e análise dos módulos desenvolvidos.
5. Incorporar os dispositivos de transmissão e recepção em um módulo capaz de avaliar o desempenho de um enlace óptico na taxa de 1.25Gbit/s em função da taxa de bits errados. Esta taxa é utilizada pelo padrão Ethernet 1000Base-X.

1.3. Organização

A presente dissertação está estruturada em 6 capítulos. Este primeiro capítulo apresenta a introdução, motivação e objetivos gerais da dissertação. No capítulo 2, a importância da medição da Taxa de Bits Errados (BER - *Bit Error Rate*), as principais fontes causadoras de erros, as técnicas de medição da taxa de bits errados e a avaliação do desempenho de sistemas digitais são destacadas. No terceiro capítulo, o módulo desenvolvido para realizar a transmissão através da geração de uma seqüência pseudo-aleatória é detalhado e caracterizado. No capítulo 4, o módulo desenvolvido para realizar a recepção através do alinhamento e sincronismo da seqüência de bits para posterior avaliação da taxa de erro de bit é detalhado e caracterizado. No capítulo 5, as simulações, as análises lógicas, os testes dos módulos e as montagens do sistema desenvolvido

no laboratório GSOM (Grupo de Sistemas Ópticos e Microondas) são apresentadas. Finalmente no capítulo 6, os resultados, comentários finais e conclusões do trabalho desenvolvido são apresentadas.