

**Carlos Alberto Lachter**

**Desenvolvimento de um analisador de erro para redes  
Ethernet Óptica**

**Dissertação de Mestrado**

Dissertação apresentada como requisito parcial para  
obtenção do título de Mestre pelo Programa de Pós-  
Graduação em Engenharia Elétrica da PUC-Rio.

Orientador: Professor Marbey Manhães Mosso

Rio de Janeiro

Agosto de 2007



**Carlos Alberto Lachter**

## **Desenvolvimento de um analisador de erro para redes Ethernet Óptica**

Dissertação apresentada como requisito parcial para obtenção do título de Mestre pelo Programa de Pós-Graduação em Engenharia Elétrica da PUC-Rio. Aprovada pela Comissão Examinadora abaixo assinada.

**Prof. Marbey Manhães Mosso**

Orientador

Centro de Estudos em Telecomunicações / PUC-Rio

**Prof. Marco Antônio Grivet Mattoso Maia**

Centro de Estudos em Telecomunicações / PUC-Rio

**Prof. Antônio Dias de Macedo Filho**

Marinha do Brasil

**Prof. Abelardo Podcameni**

Centro de Estudos em Telecomunicações / PUC-Rio

**Prof. José Eugênio Leal**

Coordenador(a) Setorial do Centro Técnico Científico / PUC-Rio

Rio de Janeiro, 30 de Agosto de 2007

Todos os direitos reservados. É proibida a reprodução total ou parcial do trabalho sem autorização da universidade, do autor e do orientador.

### **Carlos Alberto Lachter**

Graduou-se em Engenharia Elétrica com ênfase em Telecomunicações na PUC-Rio em 2005. Continuou seus estudos como aluno de pós-graduação no CETUC (Centro de Estudos em Telecomunicações da Pontifícia Universidade Católica do Rio de Janeiro). Interesses de pesquisa: Programação de Hardware, Eletrônica Digital, Dispositivos de Microondas e Sistemas de Comunicações Ópticas.

#### Ficha Catalográfica

Lachter, Carlos Alberto

Desenvolvimento de um analisador de erro para redes Ethernet Óptica / Carlos Alberto Lachter; orientador: Marbey Manhães Mosso. – 2007.

90 f. : il. ; 30 cm

Dissertação (Mestrado em Engenharia Elétrica)– Pontifícia Universidade Católica do Rio de Janeiro, Rio de Janeiro, 2007.

Inclui bibliografia

1. Engenharia elétrica – Teses. 2. Redes Ópticas. 3. FPGA. 4. PRBS. 5. LFSR. 6. BER. 7. Gigabit Ethernet. I. Mosso, Marbey Manhães. II. Pontifícia Universidade Católica do Rio de Janeiro. Departamento de Engenharia Elétrica. III. Título.

CDD: 621.3

Aos meus pais, Michel e Sarah.

À minha irmã, Letícia.

À minha noiva, Sabrina.

## Agradecimentos

À minha família pelo amor e por toda educação durante todos esses anos.

Ao meu orientador, professor Marbey Manhaes Mosso, pelos ensinamentos transmitidos, pela dedicação e por toda a orientação necessária para a realização deste trabalho.

Ao Henrique Portela pelos ensinamentos, apoio e suporte técnico no desenvolvimento deste trabalho.

Ao Rodolfo Lima pelas suas correções técnicas e ortográficas.

À CNPQ e à CAPES pela concessão da Bolsa de Pós-Graduação, que foi de fundamental importância para a viabilização deste trabalho.

## Resumo

Lachter, Carlos Alberto; Mosso, Marbey Manhães. **Desenvolvimento de um analisador de erro para redes Ethernet Óptica**. Rio de Janeiro, 2007. 90p. Dissertação de Mestrado - Departamento de Engenharia Elétrica, Pontifícia Universidade Católica do Rio de Janeiro.

O objetivo desta dissertação consiste no desenvolvimento de um analisador de erro para Redes Ópticas através da utilização de circuitos integrados programáveis operando na taxa do Gigabit. As principais fontes de erro, as técnicas de medição da taxa de bits errados e a avaliação de desempenho de enlaces elétricos e ópticos em redes de telecomunicações são descritas e caracterizadas. Dispositivos de transmissão e recepção são desenvolvidos através da introdução de ferramentas computacionais para FPGA colocando-se em evidência o mecanismo de alinhamento e sincronização entre os dois. As simulações e análises destes dispositivos são apresentadas possibilitando a inserção destes em um módulo capaz de avaliar o desempenho de um enlace óptico na taxa de 1.25Gbit/s em função da taxa de bits errados.

## Palavras-chave

Redes Ópticas, FPGA, PRBS, LFSR, BER, Gigabit Ethernet

## Abstract

Lachter, Carlos Alberto; Mosso, Marbey Manhães. **Development of an error analyzer for Optical Ethernet Networks**. Rio de Janeiro, 2007. 90p. MSc. Dissertation - Departamento de Engenharia Elétrica, Pontifícia Universidade Católica do Rio de Janeiro.

The objective of this dissertation consist on development of an error analyzer for Optical Networks by the use of programmable integrated circuits operating in Gigabit rates. The main sources of error, the techniques of BER measurement and the performance evaluation of the electric and optical links in telecommunication networks are described and characterized. Transmission and reception devices are developed through the introduction of computational tools for FPGA giving emphasis to alignment and synchronization mechanism between the two. The simulations and analyses of these devices are presented making possible the insertion of these in a module capable to evaluate the performance of the optical link in the 1.25Gbit/s rate in function of the BER.

## Keywords

Optical Networks, FPGA, PRBS, LFSR, BER, Gigabit Ethernet.

## Sumário

1 . Introdução	15
1.1. Motivação	15
1.2. Objetivos	17
1.3. Organização	18
2 . Medição da taxa de bits errados (BER)	20
2.1. Introdução	20
2.2. Fontes de erro	21
2.2.1. Ruído em excesso (Excessive Noise)	21
2.2.2. Interferência Intersimbólica	22
2.2.3. Timing Jitter	24
2.3. Técnicas de medição da BER	26
2.4. Avaliação do desempenho de sistemas digitais	33
2.5. Conclusão	37
3 . Realização e Caracterização do Módulo Transmissor	38
3.1. Introdução	38
3.2. Linear Feedback Shift Registers – LFSR counter	39
3.3. Escolha de uma arquitetura de placa	42



3.4. Ferramentas computacionais desenvolvidas no FPGA	44
3.5. Conclusão	48
4 . Realização e Caracterização do Módulo Receptor	49
4.1. Introdução	49
4.2. Ferramentas computacionais desenvolvidas no FPGA	49
4.2.1. Bloco ALINHAMENTO_COMMA	51
4.2.2. Bloco MÁQUINA DE ESTADOS	54
4.2.3. Bloco LFSR	58
4.2.4. Bloco COMPARADOR	58
4.2.5. Bloco ACUMULADOR	59
4.2.6. Bloco CONTADOR	59
4.3. Conclusão	60
5 . Simulação e análise dos módulos desenvolvidos	61
5.1. Simulação sem a presença de retardo entre o transmissor e o receptor	61
5.2. Simulação com a presença de retardo entre o transmissor e o receptor	66
5.3. Análise lógica dos sinais internos ao FPGA	69
5.4. Conclusão	73
6 . Resultados, comentários finais e conclusões	74

6.1. Resultados obtidos	74
6.2. Alterações e desenvolvimentos futuros	76
7 . Referências Bibliográficas	78
Apêndice A: Seleção do tipo do polinômio para contadores LFSR	80
Apêndice B: Polinômios para geração da seqüência PRBS com comprimento máximo	84
Apêndice C: Diagrama de blocos completo com todos os sinais utilizados no desenvolvimento do módulo receptor.	90

## Lista de figuras

Figura 1. Pulsos adjacentes sofrendo os efeitos da dispersão sendo $T_s$ o bit-slot de um pulso NRZ.	23
Figura 2. Nos instantes $T_n$ , o padrão de bits é deslocado de sua posição ideal no tempo. As compensações instantâneas $t_n$ desde suas posições ideais formam a função jitter $J(t)$ .	24
Figura 3. Amplitude e frequência do jitter.	25
Figura 4. Geração de uma seqüência PRBS utilizando registradores de deslocamento com realimentação.	27
Figura 5. Densidade Espectral de Potência de uma seqüência pseudo aleatória NRZ.	28
Figura 6. Descrição de um BERT, o padrão gerado é conectado à entrada do sistema sob teste e o detector de erro é conectado à saída.	29
Figura 7. Comparação bit a bit e detecção de erro usando Ou-Exclusivo.	30
Figura 8. Formação do diagrama de olho para pulsos NRZ.	31
Figura 9. Principais definições de um diagrama de olho.	31
Figura 10. Padrão de olho ideal e degradado para pulsos no formato NRZ.	32
Figura 11. Setup para a geração do diagrama de olho.	32
Figura 12. Em 12(a) temos a variação da corrente no tempo devido à flutuações causadas por ruído e em 12(b) as funções densidade de probabilidade de corrente.	34
Figura 13. Parâmetros de um diagrama de olho sendo $I_1$ e $I_0$ as correntes referentes aos bits '1' e '0' respectivamente, sendo que $(I_1 - I_0)$ está relacionado com a abertura do diagrama e $\sigma_1$ e $\sigma_0$ os valores médios quadráticos da corrente de ruído referentes aos bits lógicos '1' e '0' respectivamente e $I_D$ a corrente do limiar de decisão.	36
Figura 14. Relação da BER com o parâmetro Q.	37
Figura 15. Contador LFSR genérico de N estágios baseado na implementação Fibonacci.	40

Figura 16. Exemplo de LFSR de 4 estágios.	41
Figura 17. Placa principal utilizada para inserir as ferramentas computacionais capazes de gerar uma seqüência pseudo-aleatória em 1.25Gbit/s.	43
Figura 18. Contador LFSR de 10 bits utilizado para gerar uma seqüência PRBS de comprimento máximo.	44
Figura 19. Simulação do comprimento máximo da seqüência PRBS utilizando o contador LFSR de 10 bits.	45
Figura 20. Diagrama de olho observado no osciloscópio através da seqüência PRBS gerada.	46
Figura 21. Setup da montagem do módulo desenvolvido para a transmissão.	47
Figura 22. Diagrama de blocos representando o bloco AVALIA_ERRO utilizado para implementar o medidor de taxa de bits errados.	50
Figura 23. Diagrama de blocos referente ao bloco ALINHAMENTO_COMMA.	51
Figura 24. Diagrama de estados da Máquina de Estados.	57
Figura 25. Simulação de uma conexão direta entre o transmissor e o receptor representando o bloco BER_TOP.	62
Figura 26. Simulação completa minimizada desde o início até o momento em que o sistema alinha.	62
Figura 27. Simulação ampliada do momento em que os erros acumulados do sistema zeraram indicando o alinhamento correto.	63
Figura 28. Simulação indicando a transição do 3º estado <code>alinhamento_comma0</code> ( <code>al_cm0</code> ), ao qual o sistema alinhou corretamente, para o estado <code>lock_state</code> de travamento.	65
Figura 29. Simulação com a presença de retardo entre o transmissor e o receptor.	66
Figura 30. Representação do bloco RETARDO da Figura 29 acima.	67
Figura 31. Simulação completa minimizada desde o início até o momento em que o sistema alinha.	68
Figura 32. Simulação ampliada do momento em que os erros acumulados do	

sistema zeraram indicando o alinhamento correto.	68
Figura 33. Simulação indicando a transição do 5º estado <code>alinhamento_comma_9</code> ( <code>a1_cm9</code> ), ao qual o sistema alinhou corretamente, para o estado <code>lock_state</code> de travamento.	69
Figura 34. Análise lógica completa e minimizada dos sinais internos ao FPGA através do loopback elétrico.	70
Figura 35. Comparação entre as seqüências de 10 bits do sinal <code>SERDES_RD</code> de entrada do bloco <code>ALINHAMENTO_COMMA</code> com as seqüências de 10 bits do sinal <code>dados_alinhados</code> de saída desse mesmo bloco. Pode-se observar que as seqüências chegam desalinhadas na porta <code>SERDES_RD</code> e saem alinhadas na porta <code>dados_alinhados</code> através do mecanismo de alinhamento proposto no capítulo 4.	71
Figura 36. Montagem em loopback óptico onde pode-se monitorar através do ChipScope os sinais internos ao FPGA. Neste software, considerou-se a condição de trigar o sistema somente quando o sinal <code>erros_acumulados</code> fosse diferente de zero. Mesmo com a inserção de atenuadores de 5dB entre as fibras, o sistema não trigou indicando a ausência de erros no teste realizado.	72
Figura 37. Diagrama das ferramentas computacionais a serem desenvolvidas no FPGA para haver a comunicação com o hardware desenvolvido.	76
Figura 38. Contador LFSR de 3 bits baseado na implementação Fibonacci com polinômio $f(x) = x^3 + x + 1$ .	81
Figura 39. Contador LFSR de 3 bits baseado na implementação Galois com polinômio $f(x) = x^3 + x + 1$ .	82
Figura 40. Diagrama de blocos completo apresentando todos os sinais utilizados no desenvolvimento do módulo receptor. Corresponde ao complemento da Figura 22 do capítulo 4.	90

## Lista de tabelas

Tabela 1. Seqüência de contagem do Contador LFSR da Figura 16 com a geração de 15 estados ( $2^4 - 1$ ) sendo Q0 a saída do primeiro FFD à esquerda.	42
Tabela 2. Exemplo genérico do funcionamento do bloco ALINHAMENTO_COMMA.	53
Tabela 3. Seqüência gerada através do circuito da Figura 38 quando as saídas dos registros são inicializadas com o valor 111.	81
Tabela 4. Seqüência gerada pelo circuito da Figura 39 acima quando as saídas dos registros são inicializadas com o valor 111.	82
Tabela 5. Polinômios para a geração da seqüência PRBS com comprimento máximo, onde pode-se observar na primeira coluna, o tamanho do contador (N), na segunda coluna, a posição dos taps, na terceira coluna, o respectivo polinômio e na última coluna o comprimento máximo da seqüência PRBS.	89