

7. Referências Bibliográficas

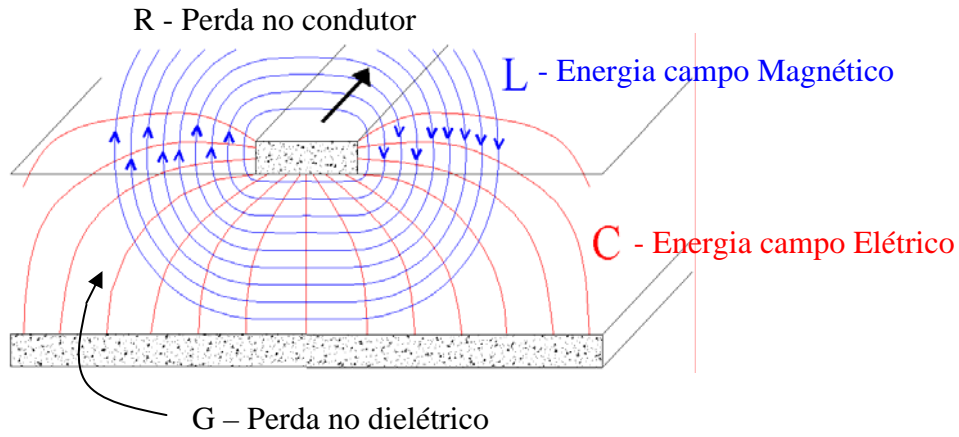
- 1 Granberg Tom , “Handbook of Digital Techniques for High-Speed Design” , Ed Prentice Hall Modern Semiconductor Design Series;
- 2 Suresh Sivasubramaniam, Philippe Garrault, “High-Speed PCB Design Resources” - Xcelljornall Publication - Signal Integrity-issue 49 – 2004 – (www.xilinx.com) ;
- 3 Robert Breyer & Sean Riley , “Network Architecture and Development Series Switched , Fast, and Gigabit Ethernet – Understanding, Building, and Managing High-Performance Ethernet Networks , Ed New Riders ;
- 4 Scott Wedge , “Accurate Multi-Gigabit Link Simulation with HSPICE” - Xcelljornall Publication – Signal Integrity - issue 49 – 2004 – (Xilinx.com) ;
- 5 Martin W. Jawitz, “Printed Circuit Board Materials Handbook” , Ed Mc Graw Hill;
- 6 “Signal integrity evaluation of a 10 Gbits/sec optoelectronic interconnect” - Kahrs, M.; Levitan, S.P.; Chiarulli, D.M.; Kurzweg, T.P.; Martinez, J.A.; Boles, J.; Davare, A.J.; Jackson, E.; Windish, C.; Kiamilev, F.; Bhaduri, A.; Taufik, M.; Xingle Wang; Morris, A.S.I.I.I.; Repke, J.; Kruchowski, J.; Gilbert, B.K.; [Microwave Symposium Digest, 2003 IEEE MTT-S International Volume 2, 8-13 June 2003 Page\(s\):1211 - 1214 vol.2](#)
- 7 “Measurement of the scattering-parameters of planar multi-port devices” Rolfes, I.; Schiek,B.; [2005 European Microwave Conference](#) Volume 2, 4-6 Oct. 2005 Page(s):4 pp.
- 8 “Simulation of scattering parameter of signal via with shielding vias” Wusheng Ji; Xuedong Wang; Ying Li; [VLSI Design and Video Technology, 2005. Proceedings of 2005 IEEE International Workshop on](#) 28-30 May 2005 Page(s):94 – 96
- 9 “Parasitic modes on printed circuit boards and their effects on

- EMC and signal integrity” Schuster, C.; Fichtner, W.; [Electromagnetic Compatibility, IEEE Transactions on](#) Volume 43, Issue 4, Nov. 2001 Page(s):416 – 425
- 10 “Electrical package characterization using differential TDR techniques” Corey, S.; Smolyansky, D.; [Electrical Performance of Electronic Packaging, 2000, IEEE Conference on.](#) 23-25 Oct. 2000 Page(s):172 – 174
 - 11 Johnson, Howard W and Graham, Martin - “High-Speed Signal Propagation – Advanced Black Magic” Ed Prentice Hall.2003;
 - 12 Johnson, Howard W and Graham, Martin – “High-Speed Digital Design – A Handbook of Black Magic” Ed Prentice Hall 1993;
 - 13 Hoffmann, Reinmut K – “Handbook of Microwave Integrated Circuits”. Ed Artech House, INC 1987 ;
 - 14 Hall, Stephen H and Hall, Garret W and McCall, James A – “High-Speed Digital System Design – A Handbook of Interconnect Theory and Design Practices” Ed Wiley-Interscience Publication 2000.
 - 15 Altera Corporation – “High-Speed Board Layout Guidelines – Stratix II Device Handbook, volume 2 December 2005. (www.altera.com.)
 - 16 Xilinx – “PCB Designer’s Guide Virtex 4” UG072(1.1) September 9, 2004 (www.xilinx.com)
 - 17 Douglas Brooks – “Signal Integrity Issues and Printed Circuit Board Design” Ed Prentice Hall 2003 – Semiconductor Design Series.
 - 18 Xilinx – Bert McComas In Quest Market Research “High-Speed Serial Interconnects – Technical Advantages, IC, and System Design Strategies” WP175(v1.0)May 15, 2003 (www.xilinx.com)
 - 19 Marbey Manhães Mosso, CETUC-IA 401-75, Julho 75.
 - 20 Collin, Robert E. “Foundation for microwave engineering”
 - 21 Lynne Green. “Understanding the importance of Signal Integrity”

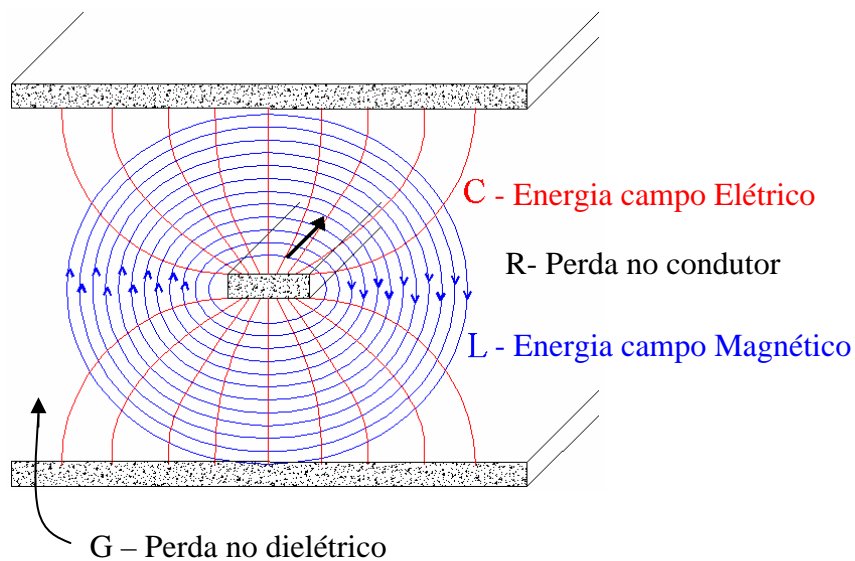
- Simulation & Modeling – Circuits & Devices November 1999.

- 22 James R. Andrews, Ph.D., IEEE Fellow. “ Low-Pass Risetime Filters for Time Domain Applications” – Application Note AN-7a copyright March, 1999 Picosecond Pulse Labs USA (www.picosecond.com).

8. Anexo A:



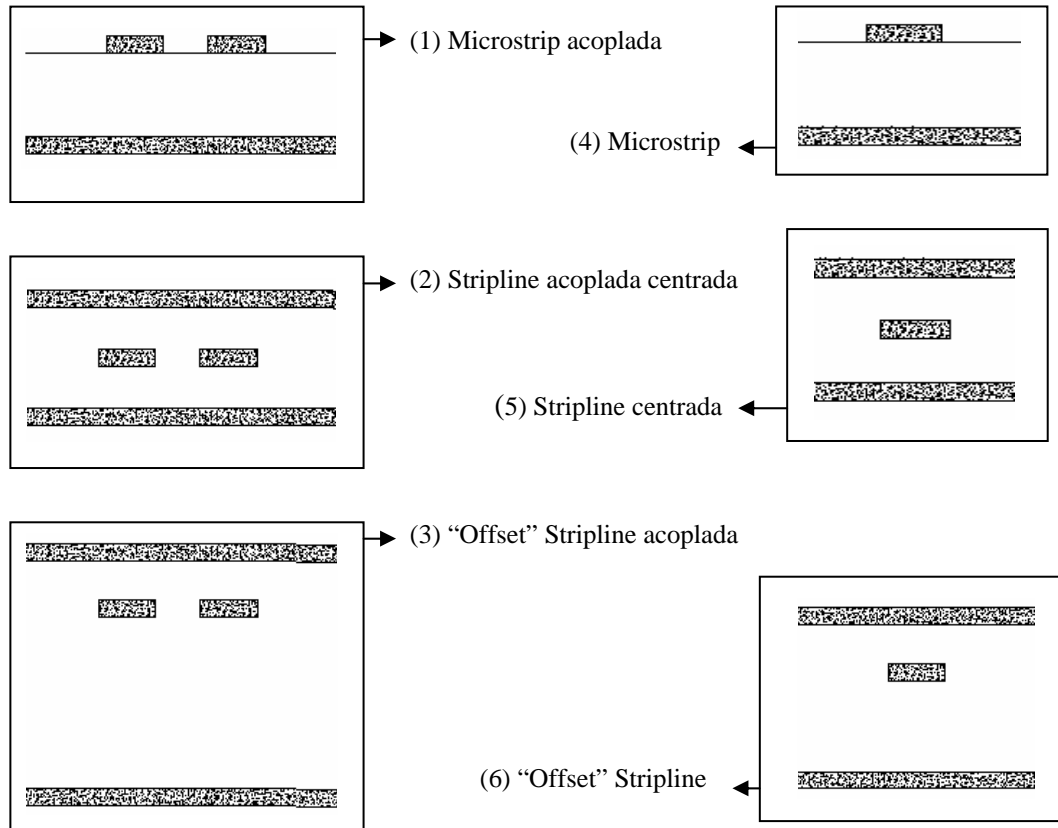
Representação em corte transversal de uma linha de transmissão do tipo microstrip, para ilustrar o modelo de circuito equivalente RLCG apresentado na figura 2 do capítulo 2

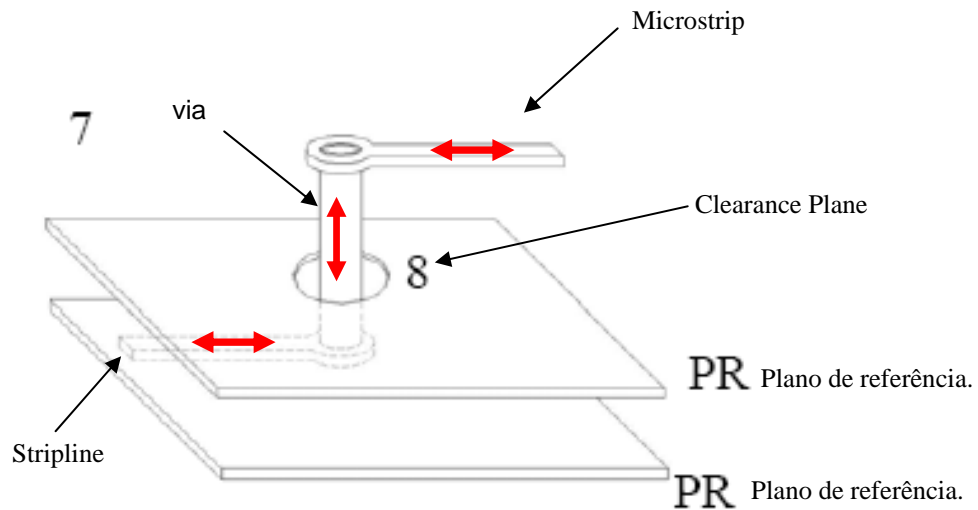


Representação em corte transversal de uma linha de transmissão do tipo stripline, para ilustrar o modelo de circuito equivalente RLCG apresentado na figura 2 do capítulo 2

8. Anexo B:

Representação em corte transversal das linhas de transmissão apresentadas na figura 9 do capítulo 3.

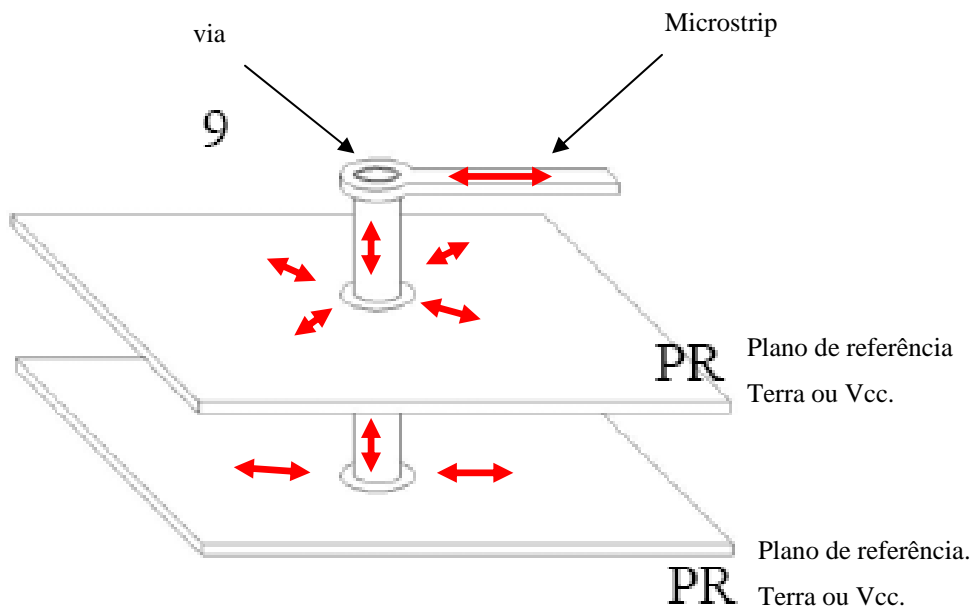




(7) Microstrip/Via/Stripline;

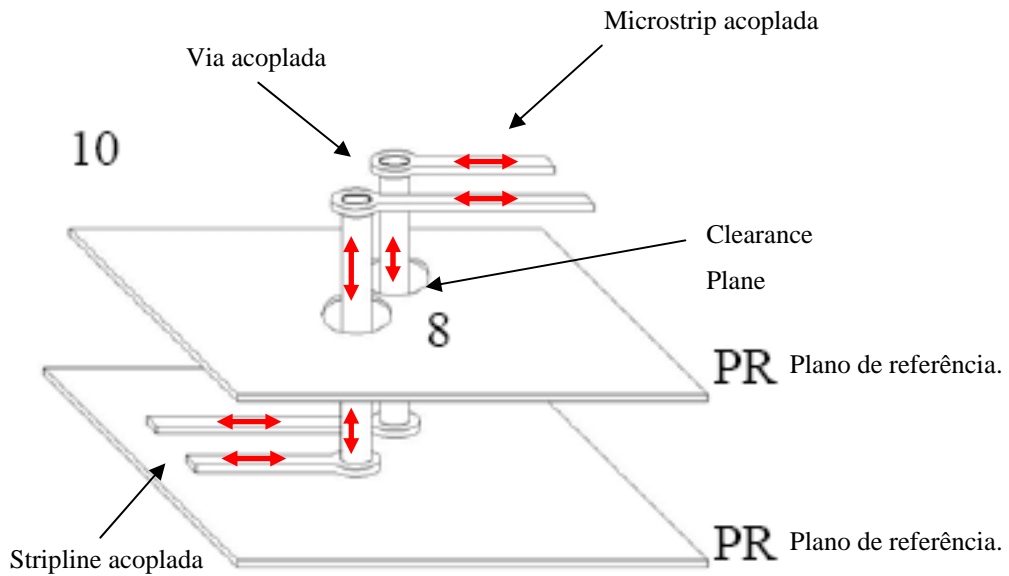
(8) "Clearance";

Representação tridimensional da configuração com microstrip, via e stripline, apresentada na figura 9 do capítulo 3.



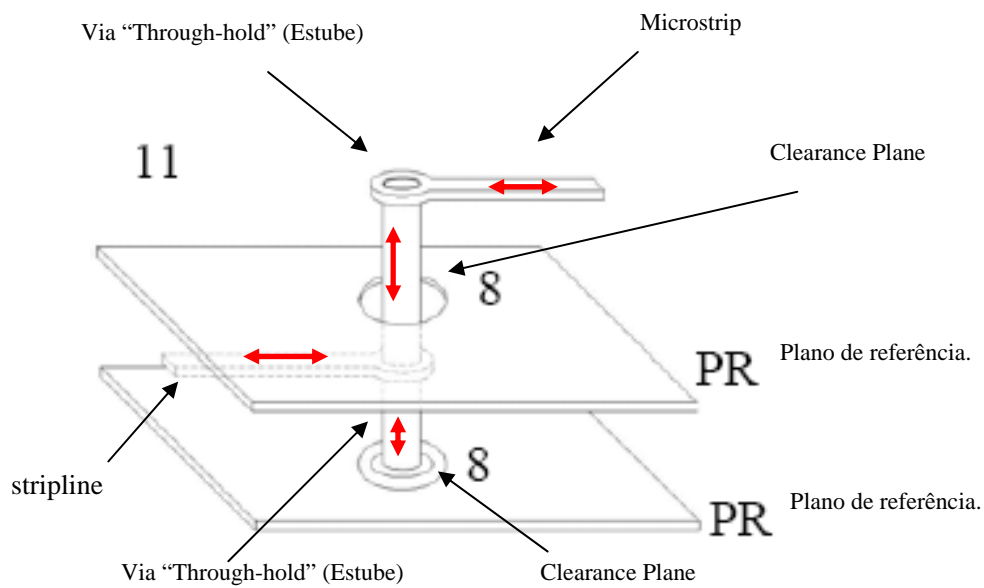
(9) Via/PR;

Representação tridimensional da configuração com via para conexão com o plano de referência, apresentada na figura 9 do capítulo 3.



(10)Microstrip acoplada/ Via acoplada/ Stripline acoplada;

Representação tridimensional da configuração com linha microstrip acoplada, via acoplada e stripline acoplada, apresentada na figura 9 do capítulo 3.



(11)Microstrip/Via/Stripline/Estube ;

Representação tridimensional da configuração com microstrip, via, stripline e estube apresentada na figura 9 do capítulo 3.

8. Anexo C:

Planilha de cálculos referentes a sessão 4.3.3.1, para o dimensionamento das linhas Microstrip e Offset Stripline das configurações da placa projetada no capítulo 4 apresentadas nas figuras 25, 26 e 27 em vista superior, corte transversal e longitudinal.

Linhas Microstrip da area 1 da placa										
T = 0,0350 mm	w (mm)	l (mm)	θ	ϵ ef	λ_m (mm)	Zc (Ohm)	Perda Microstrip (dB/mm)	Perda Microstrip (dB)	Retardo Microstrip (TD) u seg	
H = 0,16 mm	0,2863	42,2458	90	3,1474	169,1001	50,0000	0,0048	0,2031	24,98271502	
Loss tg = 0,018	0,2836	4,2363	90	3,1300	16,9570	50,0000	0,0328	0,1389	2,498269815	
1GHz Calculo	0,2850	45,0000	95,8434	3,1458	169,1428	50,1294	0,0048	0,2163	26,60473172	
10GHz Calculo	0,2850	45,0000	95,8434	3,1458	169,1428	50,1294	0,0048	0,2163	26,60473172	
1GHz Projeto	0,2850	45,0000	95,8434	3,1458	169,1428	50,1294	0,0048	0,2163	26,60473172	
10GHz Projeto	0,2850	45,0000	95,8434	3,1458	169,1428	50,1294	0,0048	0,2163	26,60473172	
1GHz Projeto	0,2850	16,8600	35,9093	3,1458	169,1428	50,1294	0,0048	0,0811	9,967906152	
10GHz Projeto	0,2850	16,8600	35,9093	3,1458	169,1428	50,1294	0,0048	0,0811	9,967906152	
1GHz Projeto	0,2850	16,8600	358,2860	3,1317	16,9524	49,8656	0,0328	0,5528	9,945510612	
10GHz Projeto	0,2850	16,8600	358,2860	3,1317	16,9524	49,8656	0,0328	0,5528	9,945510612	

Linhas Microstrip da area 3 da placa										
H = 0,41 mm	w (mm)	l (mm)	θ	ϵ ef	λ_m (mm)	Zc (Ohm)	Perda Microstrip (dB/mm)	Perda Microstrip (dB)	Retardo Microstrip (TD) u seg	
T = 0,035mm	0,7664	41,8496	90	3,2073	167,5134	50,0000	0,0036	0,1505	24,98284422	
Loss tg = 0,018	0,7647	4,1596	90	3,2465	16,6499	50,0000	0,0297	0,1234	2,498273751	
1GHz Calculo	0,7650	16,8600	36,2552	3,2067	167,5293	50,0528	0,0036	0,0606	10,06391212	
10GHz Calculo	0,7650	16,8600	36,2552	3,2067	167,5293	50,0528	0,0036	0,0606	10,06391212	
1GHz Projeto	0,7650	16,8600	364,7980	3,2466	16,6498	49,9903	0,0297	0,5002	10,12625131	
10GHz Projeto	0,7650	16,8600	364,7980	3,2466	16,6498	49,9903	0,0297	0,5002	10,12625131	

Linhas Microstrip da area 7 da placa										
H = 0,57 mm	w (mm)	l (mm)	θ	ϵ ef	λ_m (mm)	Zc (Ohm)	Perda Microstrip (dB/mm)	Perda Microstrip (dB)	Retardo Microstrip (TD) u seg	
T = 0,035mm	1,0754	41,7524	90	3,2223	167,1251	50,0000	0,0034	0,1402	24,98272492	
Loss tg = 0,018	1,0790	4,1296	90	3,2938	16,5300	50,0000	0,0292	0,1207	2,498271029	
1GHz Calculo	1,0760	16,8600	36,3438	3,2224	167,1207	49,9843	0,0034	0,0566	10,06851834	
10GHz Calculo	1,0760	16,8600	36,3438	3,2224	167,1207	49,9843	0,0034	0,0566	10,06851834	
1GHz Projeto	1,0760	16,8600	367,3890	3,2929	16,5324	50,0797	0,0292	0,4929	10,19818648	
10GHz Projeto	1,0760	16,8600	367,3890	3,2929	16,5324	50,0797	0,0292	0,4929	10,19818648	

Linhas Microstrip da area 8 da placa

H = 0,92 mm	w (mm)	l (mm) p / θ = 90	θ	ε ef	λm (mm)	Zc (Ohm)	Perda Microstrip (dB/mm)	Perda Microstrip (dB)	Retardo Microstrip (TD) u seg
T = 0,035mm									
Loss tg = 0,018									
1GHz Calculo	1,7529	41,6332	90	3,2407	166,6479	50,0000	0,0031	0,1299	24,98273394
10GHz Calculo	1,8323	4,0500	90	3,3958	16,2799	50,0000	0,0292	0,1182	2,487735371
1GHz Projeto			36,5012	3,2504	166,4001	49,0581	0,0031	0,0527	10,13220696
10GHz Projeto	1,8100	16,8600	372,8410	3,3913	16,2906	49,7254	0,0292	0,4916	10,34953175

Linhas Microstrip da area 9 da placa

H = 1,08 mm	w (mm)	l (mm)	θ	ε ef	λm (mm)	Zc (Ohm)	Perda Microstrip (dB/mm)	Perda Microstrip (dB)	Retardo Microstrip (TD) u seg
T = 0,035mm									
Loss tg = 0,018									
1GHz Calculo	2,0629	41,5963	90	3,2465	166,5002	50,0000	0,0031	0,1273	24,98272531
10GHz Calculo	2,1367	4,0465	90	3,4306	16,1971	50,0000	0,0292	0,1183	2,498269502
1GHz Projeto			36,5092	3,2518	166,3637	49,4744	0,0031	0,0517	10,13441995
10GHz Projeto	2,1000	16,8600	374,6400	3,4241	16,2124	50,5140	0,0292	0,4923	10,39947554

Offset Stripline [TX 11] - Area 4 da placa												
T = 0,0350 (mm) H1 = 0,25 mm H2 = 0,16 mm Loss tg = 0,018	W (mm)	Calculo de l (mm) p / θ = 90	l (mm) projeto	θ (Projeto)	Zc ohm (software)	Zc ohm (equação)	λm (mm)	Perda Stripline (dB/mm)	Perda Stripline (dB) Projeto	Retardo Stripline (TD) us	Dimensoes das vias [TX11]	
1GHz	0.136	36,1432 3,6143	20,26	50,4493 504,4930	50 49,96	49,9655675	144,6728467 14,46728467	0,0062 0,0429	0,12585856 0,96923909	14,0040101 14,0040101	Diametro externo Via Pad (D1)(mm)	0,585
10GHz											Diametro do vácuo entre Via Pad e cobre no ultimo plano (D2)(mm))	0,9398
											Diametro interno Via (d (mm))	0,285
											comprimento total da via (h(mm))	1,29
											Clearance Plane (mm)	0,1774
											Capacitancia (picofaraday)	0,5077
											Indutância (nanohenries)	1,0052

Offset Stripline [TX 12] - Area 5 da placa												
T = 0,0350 (mm) H1 = 0,41 mm H2 = 0,35 mm Loss tg = 0,018	W (mm)	Calculo de l (mm) p / θ = 90	l (mm) projeto	θ (Projeto)	Zc ohm (software)	Zc ohm (equação)	λm (mm)	Perda Stripline (dB/mm)	Perda Stripline (dB) Projeto	Retardo Stripline (TD) us	Dimensoes das vias [TX12]	
1GHz	0.3	36,1432 3,6143	20,26	50,4493 504,4930	50 49,99	49,0455426	144,6728467 14,46728467	0,0050 0,0389	0,10058685 0,78882918	14,0040101 14,0040101	Diametro externo Via Pad (D1)(mm)	0,6
10GHz											Diametro do vácuo entre Via Pad e cobre no ultimo plano (D2)(mm))	0,9652
											Diametro interno Via (d (mm))	0,3
											comprimento total da via (h(mm))	1,29
											Clearance Plane (mm)	0,1826
											Capacitancia (picofaraday)	0,5059
											Indutância (nanohenries)	0,992

Offset Stripline [TX 13] - area 5 da placa												
T = 0,0350 (mm) H1 = 0,25 mm H2 = 0,51 mm Loss tg = 0,018	W (mm)	Calculo de l (mm) p / θ = 90	l (mm) projeto	θ (Projeto)	Zc ohm (software)	Zc ohm (equação)	λm (mm)	Perda Stripline (dB/mm)	Perda Stripline (dB) Projeto	Retardo Stripline (TD) us	Dimensoes das vias [TX13]	
1GHz	0.262	36,1432 3,6143	20,26	50,4493 504,4930	50 49,98	49,4266476	144,6728467 14,46728467	0,0050 0,0391	0,10172141 0,79239899	14,0040101 14,0040101	Diametro externo Via Pad (D1)(mm)	0,585
10GHz											Diametro do vácuo entre Via Pad e cobre no ultimo plano (D2)(mm))	0,9398
											Diametro interno Via (d (mm))	0,285
											comprimento total da via (h(mm))	1,29
											Clearance Plane (mm)	0,1774
											Capacitancia (picofaraday)	0,5077
											Indutância (nanohenries)	1,0052

Offset Stripline [TX 14] - area 6 da placa												
T = 0,0350 (mm) H1 = 0,25 mm H2 = 0,67 mm Loss tg = 0,018	W (mm)	Calculo de l (mm) p / θ = 90	l (mm) projeto	θ (Projeto)	Zc ohm (software)	Zc ohm (equação)	λm (mm)	Perda Stripline (dB/mm)	Perda Stripline (dB) Projeto	Retardo Stripline (TD) us	Dimensoes das vias [TX14]	
1GHz	0.282	36,1432 3,6143	20,26	50,4493 504,4930	50 50,02	49,8548445	144,6728467 14,46728467	0,0048 0,0385	0,09761065 0,77993129	14,0040101 14,0040101	Diametro externo Via Pad (D1)(mm)	0,585
10GHz											Diametro do vácuo entre Via Pad e cobre no ultimo plano (D2)(mm))	0,9398
											Diametro interno Via (d (mm))	0,285
											comprimento total da via (h(mm))	1,29
											Clearance Plane (mm)	0,1774
											Capacitancia (picofaraday)	0,5077
											Indutância (nanohenries)	1,0052

		Offset Stripline [TX15] - area 6 da placa					Dimensões das vias [TX15]					
T = 0,0350 (mm) H1 = 0,41 mm H2 = 0,51 mm Loss tg = 0,018	W (mm)	Calculo de l (mm) p / θ = 90	l (mm) projeto	θ (Projeto)	Zc ohm (software)	Zc ohm (equação)	λm (mm)	Perda Stripline (dB) Projeto	Perda Stripline (dB) Projeto	Retardo Stripline (TD) us	Diametro externo Via Pad (D1)(mm)	0,669
1GHz	0,369	36,1432	20,26	50,4493	50	49,9950855	144,6728467	0,0047	0,09553238	14,0040101	Diametro do vácuo entre Via Pad e cobre no ultimo plano (D2)(mm))	1,0668
10GHz	0,369	36,1432	20,26	504,4930	50,02	49,9950855	14,46728467	0,0361	0,777279136	14,0040101	Diametro interno Via (d (mm))	0,369
											comprimento total da via (h(mm))	1,29
											Clearance Plane (mm)	0,1989
											Capacitancia (picofaraday)	0,5179
											Indutância (nanohenries)	0,9386

		Offset Stripline [TX16] - Area 6 da placa					Dimensões das vias [TX16]					
T = 0,0350 (mm) H1 = 0,76 mm H2 = 0,16 mm Loss tg = 0,018	W (mm)	Calculo de l (mm) p / θ = 90	l (mm) projeto	θ (Projeto)	Zc ohm (software)	Zc ohm (equação)	λm (mm)	Perda Stripline (dB) Projeto	Perda Stripline (dB) Projeto	Retardo Stripline (TD) us	Diametro externo Via Pad (D1)(mm)	0,585
1GHz	0,176	36,1432	20,26	50,4493	50	52,7833308	144,6728467	0,0050	0,10222386	14,0040101	Diametro do vácuo entre Via Pad e cobre no ultimo plano (D2)(mm))	0,9398
10GHz	0,176	36,1432	20,26	504,4930	49,98	52,7833308	14,46728467	0,0392	0,79383334	14,0040101	Diametro interno Via (d (mm))	0,285
											comprimento total da via (h(mm))	1,29
											Clearance Plane (mm)	0,1774
											Capacitancia (picofaraday)	0,5077
											Indutância (nanohenries)	1,0052

		Microstrip ligada ao conector e a via [TX11],[TX12],[TX13],[TX14],[TX15],[TX16] - Areas 4, 5 e 6 da placa							
T = 0,0350 mm H = 0,16 mm Loss tg = 0,018	w (mm)	l (mm)	θ	ε ef	λm (mm)	Zc (Ohm)	Perda Microstrip (dB)	Perda Microstrip (dB)	Retardo Microstrip (TD) us
1GHz Projeto	0,2850	8,4300	179,9547	3,1458	169,1428	50,1294	0,0048	0,0405	4,98395308
10GHz Projeto	0,2850	8,4300	179,1430	3,1317	16,9524	49,8656	0,0328	0,2764	4,97275531