

6. Comentários finais e conclusões.

6.1. Observações Gerais.

A configuração PCB desenvolvida possui 06 camadas de cobre, isto é, 06 planos condutores. Entre estes planos, duas camadas do dielétrico FR4 e três camadas de prepreg. Esta configuração corresponde às aplicações mais frequentes em placas de circuito impresso de altas taxas de transmissão. Mesmo quando um número superior de planos é utilizado, sua arquitetura pode ser subdividida em duas ou até três unidades similares devido a utilização de planos de polarização.

Selecionaram-se linhas de transmissão com comprimentos curtos e longos contendo em alguns casos curvas, componentes e vias para avaliar o comportamento de uma placa em casos extremamente desfavoráveis.

Os testes realizados consideraram futuras aplicações dos padrões IEEE 802.3z (1Gb/s) e IEEE 802.3ae (10Gb/s), isto é, o desenvolvimento de PCBs capazes de integrar *Chips* de última geração operando nas velocidades indicadas. Microindutores não foram testados. Na Taxa de 1Gb/s, testes anteriores nos laboratórios do CETUC confirmaram o bom desempenho destes componentes nesta taxa. Na taxa de 10Gb/s, ainda não está disponível um microindutor integrável.

O projeto da PCB utilizada considerou as condições de realização disponibilizada pelos fabricantes instalados no Brasil. Deve ser observado que fabricantes no exterior impõe um número mínimo de placas elevadíssimo, inviabilizando esta opção. Desta forma, apesar de terem sido estudados materiais dielétricos para operar em até 40GHz, o material selecionado obedeceu as condições de realização acima indicadas, isto é, número reduzido de placas fabricadas com FR4 (LP5200;LP5300) e o prepreg LP 5300P. As espessuras selecionadas corresponderam aquelas de menor valor que o fabricante utilizava.

6.2. Resultados finais.

Ao longo da presente dissertação foram dimensionadas linhas de transmissão contendo curvas e furos passantes através de ferramentas computacionais indicadas e equações apresentadas. A partir destas etapas, uma placa de 06 planos, obedecendo às condições e critérios de fabricação, foi dimensionada e realizada. Ao modelo realizado foram incorporados conectores, microcapacitores e microresistores. Em seguida, um extenso procedimento de medição foi iniciado.

30 configurações de linhas foram caracterizadas em termos de Impedância, perda de retorno, perda de inserção, reflectometria no domínio do tempo e taxas de bits errados.

Os resultados de medição de perda de inserção, indicaram um comportamento oscilatório em quase todas as medições. Estas características devem-se ao comportamento elétrico das linhas projetadas e as interfaces de reflexão que as configurações incorporam. Os resultados da medição de perda de retorno foram compatíveis com os obtidos na perda de inserção.

A utilização de reflectometria no domínio do tempo permitiu localizar algumas interfaces de reflexão. Os níveis de impedância das linhas em “stripline” com valores de aproximadamente 64 Ohms foram também revelados por esta técnica de medição. Deve ser salientado que este desvio deveu-se ao processo de fabricação. Simulações utilizando a ferramenta CST confirmaram as dimensões do projeto e da máscara de dimensionamento utilizado para o projeto.

Na parte das medições, as configurações apresentaram perda de inserção inferior a 3dB até 7,5GHz. Estas configurações foram caracterizadas em termos de BER e apresentaram, incluindo 02 conectores e envolvendo comprimentos físicos de 45mm e 16,86mm, valores da ordem de 10^{-11} e 10^{-12} , isto é, valores adequados para aplicações Ethernet IEEE 802.3ae, 10Gbs “inter-chip”.

Algumas configurações em stripline envolvendo furos metalizados e capacitores apresentaram perda de inserção superior a 3dB a partir de 6GHz. Estas configurações apresentaram $BER=3,3 \cdot 10^{-9}$. Caso os conectores de entrada e saída fossem desconsiderados e os comprimentos físicos reduzidos em 10%, estas configurações atingiriam performance adequada para aplicações Ethernet IEEE 802ae, 10Gb/s.

6.3. Conclusões Finais e etapas futuras.

Uma placa PCB foi projetada e realizada incorporando componentes e apresentando performance de perda de inserção, perda de retorno e BER adequadas para utilização em taxas de 10Gb/s em comunicação “*inter-chip*”.

Os procedimentos realizados permitiram que uma sistemática de projeto de placas de alta performance fosse elaborada garantindo a integridade dos sinais envolvidos. Este resultado foi obtido em um intervalo de tempo significativamente inferior ao que seria consumido através de simulações. Além de custos extremamente elevados, se cada componente ou etapas propostas fossem analisadas via simulações, poderia consumir isoladamente um tempo superior ao dedicado no procedimento prático adotado.

As etapas de projeto e as caracterizações apresentadas ao longo desta dissertação poderão ser utilizadas no projeto de novas placas, adaptadas às limitações de fabricação descritas. Pode-se então indicar que uma sistemática capaz de garantir a integridade de sinais em função do projeto elétrico e das condições de realização foi obtida.

Ferramentas computacionais contendo o modelo de “*chips*” de alta performance poderão ser utilizadas associadas a placa desenvolvida ou orientar o desenvolvimento de novas placas.

Novos materiais associados à microcapacitores, microindutores e conectores poderão utilizar a sistemática de projeto já desenvolvida na presente dissertação para a realização de PCBs operando em frequências de até 40GHz mantendo a integridade dos sinais.