

1. Introdução

A utilização de Circuitos Integrados (CIs) em quase todas as aplicações da eletrônica digital e analógica está associada ao dramático aumento da capacidade e funcionalidade destes módulos. Este aumento foi possibilitado pela maior densidade de integração e altíssimas velocidades de operação obtidas [6]. Desta forma, módulos com números de portas extremamente elevados passaram a ser projetados e oferecidos [2].

As Placas de Circuitos Impressos (PCIs doravante denominados PCB-Printed Circuit Board) utilizadas para interconectar estes módulos, tornaram-se então extremamente complexas em função principalmente das altas taxas e números de portas envolvidas. Configurações PCB utilizando múltiplas camadas [11] passaram a ser freqüentemente realizadas para compatibilizar a conexão de vários módulos e componentes.

Uma simples trilha facilmente dimensionada nos primeiros integrados (que operavam em freqüências/taxas inferiores a 10MHz), torna-se, em freqüências elevadas, uma descontinuidade de impedância capaz de introduzir reflexões, perdas, retardos, irradiação, etc. Desta maneira, a simples utilização de um circuito integrado de alta velocidade com apenas duas portas apresentaria uma performance inadequada caso suas linhas de acesso fossem dimensionadas como uma simples trilha.

Quando são considerados os múltiplos elementos de uma placa, isto é, componentes eletrônicos, microcapacitores, microindutores, microresistores, furos metalizados (vias), conectores, etc, verifica-se ser muito importante a constituição de um conjunto de técnicas que possibilitem a utilização de trilhas e componentes em altas freqüências/altas taxas. Essas técnicas tem sido reportadas em conferências e periódicos [4][15][18] com o objetivo de garantir que os sinais distribuídos na placa mantenham sua forma, amplitude e retardo, isto é, sua integridade.

A presente dissertação tem como objetivo o desenvolvimento de técnicas de projeto que garantam a integridade de sinais em Placas de Circuito Impresso

(PCB) operando diretamente nas taxas de 1Gb/s e 10Gb/s, incluindo a utilização de integrados, componentes eletrônicos e dispositivos nestas taxas. A integração entre Circuitos Integrados (CIs) em PCBs nestas velocidades poderá então ser corretamente avaliada em possíveis projetos de altíssima velocidade e performance envolvendo redes [3] Ethernet, Gigabit Ethernet, 10 Gigabit Ethernet, etc.

No capítulo 2 as linhas de transmissão microstrip e stripline serão introduzidas através de suas tensões, correntes, impedância característica e perdas. Uma análise destas linhas envolvendo a integridade de sinais em função do comprimento elétrico e do comprimento físico será apresentada. Será também introduzida uma avaliação no domínio do tempo. Os modelos apresentados, apesar de extremamente simplificados, permitirão a avaliação de sinais propagantes não apenas nestas linhas mas na maior parte das configurações quasi-TEM em PCBs de alta frequência de operação.

No capítulo 3 os substratos e condutores empregados em placas de circuito impresso, em taxas muito elevadas, serão introduzidos. A montagem em múltiplas camadas, as linhas de acesso e alguns componentes serão descritos. O objetivo principal desta etapa será a obtenção da integridade de sinais no desenvolvimento de PCBs em alta frequência.

No capítulo 4 será apresentado o desenvolvimento de uma placa de circuito impresso (PCB) de 6 camadas (ou 6 planos condutores), com as principais configurações encontradas para teste com sinais de 1Gb/s ou 10Gb/s e os principais problemas existentes para a sua fabricação. Algumas ferramentas computacionais foram utilizadas para o cálculo e seleção de geometrias fisicamente realizáveis. Microresistores, microcapacitores SMD, conectores I/O de RF, vias e curvas frequentemente utilizadas em PCB foram também descritos.

No capítulo 5 a placa PCB, realizada segundo considerações do capítulo 4, será avaliada. Para tal, um conjunto de técnicas de medições será utilizado. A performance de cada configuração será destacada e comentada para futuras aplicações de comunicação “inter-chip” em 1GB Ethernet e 10GB Ethernet .

Finalmente no capítulo 6 serão apresentados os comentários finais e as conclusões da presente dissertação.