



Vanessa Przybylski Ribeiro Magri

**Integridade de Sinais em Placas de Circuito
Impresso de Altas Taxas.**

Dissertação de Mestrado

Dissertação apresentada como requisito parcial para obtenção do título de Mestre pelo Programa de Pós-Graduação em Engenharia Elétrica do Departamento de Engenharia Elétrica do Centro Técnico Científico da PUC-Rio.

Orientador: Marbey Manhães Mosso

Rio de Janeiro,
Agosto de 2007



Vanessa Przybylski Ribeiro Magri

**Integridade de Sinais em Placas de Circuito
Impresso de Altas Taxas.**

Dissertação apresentada como requisito parcial para obtenção do título de Mestre pelo Programa de Pós-Graduação em Engenharia Elétrica do Departamento de Engenharia Elétrica do Centro Técnico Científico da PUC-Rio. Aprovada pela Comissão Examinadora abaixo assinada.

Prof. Marbey Manhães Mosso

Orientador

Centro de Estudos em Telecomunicações / PUC-Rio

Prof. Abelardo Podcameni

Centro de Estudos em Telecomunicações / PUC-Rio

Profa. Maria Cristina Ribeiro Carvalho

Centro de Estudos em Telecomunicações / PUC-Rio

Prof. Antonio Dias de Macedo Filho

Marinha do Brasil

Prof. José Eugênio Leal

Coordenador Setorial do Centro

Técnico Científico - PUC-Rio

Rio de Janeiro, 30 de agosto de 2007

Todos os direitos reservados. É proibida a reprodução total ou parcial do trabalho sem autorização da universidade, da autora e do orientador.

Vanessa Przybylski Ribeiro Magri

Engenheira Eletricista com ênfase em Telecomunicações, graduada em 2004 na Pontifícia Universidade Católica do Rio de Janeiro. Atual linha de pesquisa: Eletromagnetismo avançado, dispositivos de microondas e sistemas de comunicações ópticas.

Ficha Catalográfica

Magri, Vanessa Przybylski Ribeiro

Integridade de sinais em placas de circuito impresso de altas taxas / Vanessa Przybylski Ribeiro Magri ; orientador: Marbey Manhães Mosso. – 2007.

117 f. : il. ; 30 cm

Dissertação (Mestrado em Engenharia Elétrica)– Pontifícia Universidade Católica do Rio de Janeiro, Rio de Janeiro, 2007.

Inclui bibliografia

1. Engenharia elétrica – Teses. 2. Integridade de sinais. 3. Placas de circuito impresso. 4. PCI. 5. PCB. 6. Gigabit Ethernet. I. Mosso, Marbey Manhães. II. Pontifícia Universidade Católica do Rio de Janeiro. Departamento de Engenharia Elétrica. III. Título.

CDD:621.3

Dedico o sucesso desta etapa da minha vida a quem sempre me incentivou a enfrentar desafios, ensinou e esteve presente, nos momentos certos e incertos : a DEUS pela graça da vida, principalmente aos meus pais e a minha irmã pela amizade eterna, a toda minha família pelo amor e compreensão, as amigas verdadeiras que me incentivaram também nos momentos em que fui ausente e a alguém que chegou nesta etapa da minha vida com compreensão, respeito, amizade e carinho.

Agradecimentos

Ao meu orientador Professor Marbey Manhães Mosso pelos ensinamentos, incentivo e dedicação nesta pesquisa e para minha carreira.

Ao CNPQ (Conselho Nacional de Desenvolvimento Científico e Tecnológico) e a CAPES (Coordenação de Aperfeiçoamento de Pessoal de Nível Superior) pelo suporte financeiro e pelo importante apoio nesta pesquisa.

Ao pesquisador do GSOM/CETUC Rodolfo Lima pela dedicação e ensino durante todos os anos que estudei no GSOM/CETUC.

Ao pesquisador do GSOM/CETUC Henrique Portella pelo ensinamento fundamental e incentivo ao desenvolvimento deste projeto.

Ao laboratório de Optoeletrônica/CETUC pelo apoio em uma das etapas de medições deste projeto.

E à oficina do CETUC - Rogério da Silva Pereira.

Resumo

Magri, Vanessa P. Ribeiro; Mosso, Marbey Manhães. **Integridade de sinais em Placas de circuito impresso de altas taxas.** CETUC - PUC-Rio, 2007. 117p. Dissertação de Mestrado - Departamento de Engenharia Elétrica, Pontifícia Universidade Católica do Rio de Janeiro.

Este trabalho tem como objetivo avaliar a viabilidade técnica para fabricação de placas de circuito impresso de múltiplas camadas com espessuras reduzidas mantendo a integridade dos sinais que se propagam em conexões inter-chip, nas taxas de transmissão de 1Gb/s e 10Gb/s para aplicações em redes de comunicações nos padrões 1GB Ethernet e 10GB Ethernet. A avaliação inclui o projeto de uma placa de 6 camadas de planos condutores, com espessura total de 1,29mm. A placa desenvolvida contém linhas de transmissão, vias e curvas, microcapacitores, microresistores e conectores I/O adequados para a faixa de frequência em questão.

Palavras-chave

Integridade de sinais ;
Placas de circuito impresso (PCI) ;
Gigabit Ethernet.

Abstract

Magri, Vanessa P. Ribeiro, Mosso, Marbey Manhães. **Signals Integrity in high speed Printed Circuit Boards**. CETUC - PUC-Rio, 2007. 117p. Master's Thesis – Electrical Engineering Department , Pontifícia Universidade Católica do Rio de Janeiro.

The main purpose of this work is to evaluate the technical reliability to fabricate a Printed circuit board (PCB) with reduced thickness multilayer keeping signal Integrity on inter-chip connections in 1Gb/s and 10Gb/s (1GB Ethernet and 10GB Ethernet network communications). This evaluation includes the development of a PCB project with 06 layers and 1,29mm thickness. The PCB contains several transmission lines, vias, bends, microcapacitors, microresistors, connectors (I/O) suitable to this frequency band.

Keywords

Signals Integrity ;
High Speed Printed Circuit Board (HS-PCB) ;
Gigabit Ethernet.

Sumário

1 . Introdução	21
2 . Conceitos Básicos.	23
2.1. Linhas de Transmissão e propagação Quasi-TEM.	23
2.1.1. Análise do comprimento elétrico e comprimento físico das LTs.	26
2.2. Introdução ao domínio do tempo.	27
2.3. Conclusões.	33
3 . PCB de múltiplas camadas operando em altas freqüências.	34
3.1. Laminados PCBs.	34
3.1.1. Substratos (meio dielétrico).	34
3.1.2. Condutores.	36
3.1.3. Montagem de laminados em PCBs de múltiplas camadas.	37
3.2. Tipos de linhas de transmissão em PCBs de múltiplas camadas.	38
3.3. Componentes PCBs	39
3.4. Outros problemas que podem perturbar a integridade do sinal de alta freqüência transmitido em PCBs de maior complexidade.	41
3.5. Conclusões.	43
4 – Desenvolvimento de uma PCB de 6 planos condutores para teste em 1GHz ou 10GHz.	44
4.1. Laminado – Material escolhido.	44
4.2. Viabilidade técnica para a fabricação de PCB com múltiplas camadas de espessuras reduzidas.	45
4.3. Projeto da placa.	57
4.3.1. Configuração das 6 camadas da placa.	57
4.3.2. Componentes utilizados.	58
4.3.3. Escolha das linhas de transmissão para a placa de 6 camadas.	59
4.3.3.1. Calculo das dimensões das LTs.	59

4.3.3.2. Detalhes das configurações da placa.	64
4.4. Conclusões:	77
5 - Técnicas de medidas e resultados obtidos.	78
5.1. TDR (Time – Domain Reflectometry).	78
5.2. Analisador de redes vetorial.	80
5.3. BER (Bit Error Rate ou Taxa de Bits Errados).	81
5.4. Apresentação dos resultados.	83
5.4.1. Medidas para definição da montagem dos conectores na placa:	83
5.4.2. Medida das Linhas Microstrip sobre prepreg : área 1 da PCB.	88
5.4.3. Medida das Linhas Microstrip com H variando:	91
5.4.4. Medida das configurações com Vias, linhas Microstrip e StripLine variando H1 e H2:	96
5.4.5. Medida das configurações com capacitores de alta frequência:	98
5.4.6. Análise dos resultados da BER para a transmissão 10GB Ethernet.	101
5.5. Conclusões.	103
6 . Comentários finais e conclusões.	104
6.1. Observações Gerais.	104
6.2. Resultados finais.	105
6.3. Conclusões finais e etapas futuras.	106
7. Referências Bibliográficas -	107
8. Anexos	
A- Ilustrar o modelo RLCG	110
B- Representação das linhas de transmissão em PCBs	111
C- Planilha de cálculos	114

Lista de figuras

Figura 1- Trecho de Linha de Transmissão conectado a um gerador e a uma carga ZI em suas extremidades.[19]	23
Figura 2 – Modelo RLCG do circuito equivalente para a seção de uma trilha PCB de comprimento (dz). [1][13][14][20].	24
Figura 3 – Método típico para representar LTs em PCB que propagam um sinal digital [14].	28
Figura 4 – Tempo de retardo da LT de 10cm comparado com o “bit slot” do sinal PRBs digital em 1Gb/s e 10Gb/s.	30
Figura 5 – Parâmetros S da LT de impedância característica Z_c .	30
Figura 6 – Exemplo de LT com reflexão. [14]	31
Figura 7 – Exemplo de LTs e os parâmetros importantes para um correto dimensionamento de linhas em PCB. [14]	32
Figura 8 – Exemplo da montagem de laminados em PCBs de 6 camadas (ou 6 planos condutores). As configurações (a) ou (b) podem ser estendidas para 22 camadas.[16]	37
Figura 9 – Tipos de LT em PCBs de múltiplas camadas [11]. A numeração é respectivamente (1) Microstrip Acoplada; (2) Stripline acoplada centrada; (3) “Offset” Stripline acoplada; (4) Microstrip; (5)Stripline centrada; (6) “Offset Stripline”; (7) Microstrip/Via/Stripline ; (8) “Clearance”; (9) Via/PR; (10)Microstrip acoplada/ Via acoplada/ Stripline acoplada; (11)Microstrip/Via/Stripline/Stub; (12) descontinuidade entre planos de referencia; (PR) Plano de Referencia.	38

Figura 10 – Microcapacitor DielectricLab e microresistores para transmissão em alta frequência. 40

Figura 11 – PCB de uma camada dielétrica (ou 2 camadas de planos condutores), que contém 1 chip SMD de 12 portas (A), 4 capacitores 0603 (C10, C7, CAGC e CBY), 1 conector RF (50Ω) “through-hole” (CON1), 1 diodo “through-hole” (B), Vcc e terra. 40

Figura 12 – Minimização de crosstalk entre linhas de transmissão [15] [11]. Onde: D_{\min} é a distância mínima para evitar crosstalk entre as linhas de transmissão; H_{ms} é a altura do meio dielétrico da linha microstrip; H_{st} é a altura do meio dielétrico da linha stripline. 42

Figura 13 – Primeiro teste de viabilidade de fabricação com linhas Microstrip : 13(a) meio dielétrico FR4 ; 13(b) meio dielétrico prepreg. Os valores de H_{FR4} (mm), H_p (mm) e t (mm) seguem a tabela 4. 46

Figura 14(a) - Gráfico de resultados para W_{1a} referente a geometria da figura 13(a), utilizando a ferramenta de calculo TXline, no teste de viabilidade de fabricação de linha Microstrip de 1 camada com dielétrico FR4, para a escolha de H_{FR4} (mm) e t (mm) referentes a tabela 4. 46

Figura 14 (b) – Gráfico de resultados para W_{1b} referente a geometria da figura 13(b), utilizando a ferramenta de calculo TXline, no teste de viabilidade de fabricação de linha Microstrip de 1 camada com dielétrico prepreg, para a escolha de H_p (mm) e t (mm) referentes a tabela 4. 47

Figura 15 – Segundo teste de viabilidade de fabricação com linhas microstrip de 2 camadas e condutor de cobre com espessura $t=0,035$ mm. Os valores de H_{tot} (mm) para a escolha das opções A, B ou C seguem a tabela 5 a partir dos valores de H_p (mm) e H_{FR4} (mm) da tabela 4. 48

Figura 16 - Gráficos de resultado para W_2 , utilizando a ferramenta de calculo TXline, no teste de viabilidade de fabricação com linha Microstrip de 2 camadas com os valores de H_{total} para a escolha das opções A, B ou C referentes a tabela 5 anteriormente apresentada. 49

Figura 17 – Terceiro teste de viabilidade de fabricação com Linha Offset Stripline de 2 camadas. Os valores de H_{tot} (mm) para as opções de escolha A, B ou C seguem a tabela 6 a partir de H_{FR4} (mm), H_p (mm), t (mm) da tabela 4. 50

Figura 18 – Gráficos de resultado para W_3 , utilizando a ferramenta de calculo MWI, no teste de viabilidade de fabricação de linha Offset Stripline de 2 camadas com os valores de H_{total} para a escolha das opções A, B ou C referentes a tabela 6 anteriormente apresentada. 51

Figura 19 – Quarto teste de viabilidade de fabricação com linha Offset Stripline com três camadas dielétricas; 19(a) segue a montagem de 3 camadas na seqüência: prepreg, FR4 e prepreg; 19(b) segue a montagem de 3 camadas na seqüência: FR4, prepreg e FR4; Os valores de H_{tot} (mm) para a escolha das opções A, B ou C seguem as tabelas 7 para W_{4a} (mm) e 8 para W_{4b} (mm) respectivamente a partir de H_p (mm), H_{FR4} (mm) e t (mm) da tabela 4. 52

Figura 20a – Gráficos de resultado de W_{4a} (mm), referente a geometria da figura 19(a), utilizando a ferramenta de calculo MWI, no teste de viabilidade de fabricação com linha Offset Stripline com 3 camadas dielétricas (para a montagem dos laminados na sequencia: Prepreg, FR4, Prepreg). Os valores de H_{total} (mm) para a escolha das opções A, B ou C seguem a tabela 7. 55

Figura 20b – Gráficos de resultado de W_{4b} (mm), referente a geometria da figura 19(b), utilizando a ferramenta de calculo MWI, no teste de viabilidade de fabricação com linha Offset Stripline com 3

camadas dielétricas (para a montagem dos laminados na sequencia: FR4, Prepreg, FR4). Os valores de H_{total} (mm) para a escolha das opções A, B ou C seguem a tabela 8. 56

Figura 21 - Configuração da placa de 6 camadas da presente dissertação para teste com linhas transmitindo sinais em 1GHz ou 10GHz. Referencia na sessão 3.1.3 da figura 8(b) para a montagem de laminados em PCBs de múltiplas camadas. 58

Figura 22 – Performance do microcapacitor SMD 0402 de 220nF, Opti-Cap, de alta freqüência com acoplamento AC e bloqueio de ruído DC. 59

Figura 23 – Configuração da curva de 90 referente a linha microstrip , utilizada na placa da presente dissertação. 61

Figura 24 - Detalhe do corte na placa e circuito equivalente da via 'through-hole'. [14] [11] 63

Figura 25 – Placa de 6 camadas de teste de linhas de transmissão para sinais de 1GHz ou 10GHz (1Gb/s ou 10Gb/s). 65

Figura 26 - Configuração da placa de 6 camadas da presente dissertação para teste com linhas transmitindo sinais em 1GHz ou 10GHz. 66

Figura 27 (a) – Referente a Área 1 da placa PCB, para configurações microstrip sobre o prepreg. Dimensões das vias: $D1=0,585\text{mm}$; $D2=0,9398\text{mm}$; $d=0,285\text{mm}$; $h=1,29\text{mm}$; $C=0,5077\text{pF}$; $L=1,0052\text{nH}$. 68

Figura 27 (b) – Referente a Área 2 da placa de configuração microstrip sobre o prepreg e vias, para conectar com o capacitor de alta freqüência, bloqueio DC e acoplamento AC, da forma mais desfavorável possível numa placa de múltiplas camadas com muitas

portas, onde o espaço físico é pequeno para o posicionamento de componentes SMD em conexões diretas por linhas microstrip.	69
Figura 27 (c) – Referente a Área 3 da placa de configuração microstrip com 2 camadas dielétricas.	70
Figura 27 (d) – Referente a Área 7 da placa de configuração microstrip com 3 camadas dielétricas.	71
Figura 27 (e) – Referente a Área 8 da placa de configuração microstrip com 4 camadas dielétricas.	72
Figura 27 (f) – Referente a Área 9 da placa de configuração microstrip com 5 camadas dielétricas.	73
Figura 27 (g) – Referente a Área 4 da placa de configuração microstrip, Offset Stripline e vias.	74
Figura 27 (h) – Referente a Área 5 da placa de configuração microstrip, Offset Stripline e vias.	74
Figura 27 (i) – Referente a Área 5 da placa de configuração microstrip, Offset Stripline e vias.	75
Figura 27 (j) – Referente a Área 6 da placa de configuração microstrip, Offset Stripline e vias.	75
Figura 27 (k) – Referente a Área 6 da placa de configuração microstrip, Offset Stripline e vias.	76
Figura 27 (l) – Referente a Área 6 da placa de configuração microstrip, Offset Stripline e vias.	76

Figura 28 – Ilustração da medição do coeficiente de reflexão ao longo de uma LT de 50Ω com carga capacitiva e indutiva.	79
Figura 29 – Técnica de medida utilizando TDR.	79
Figura 30 – Calibração do TDR do laboratório de microondas do CETUC para a medição das LT da placa da presente dissertação.	80
Figura 31 – Estrutura de medição utilizando o equipamento Analisador de Redes Vetorial.	81
Figura 32 – Estrutura de bancada para a medida da BER das linhas de transmissão da PCB.	82
Figura 33 – Medida direta, curva da BER em função da atenuação RF em (dB).	83
Figura 34 – Configuração de montagem dos conectores de RF de 50Ω na placa PCB.	84
Figura 35 – Resultado da medida com o Analisador de redes vetorial de $S_{21}(dB)$ entre 100MHz e 12GHz para as linhas Microstrip ($H_p=0,16mm$), TX1-RX1 e TX6-RX6, sobre o prepreg, para definir a montagem adequada dos conectores de RF na placa de 6 camadas.	85
Figura 36 – Resultado TDR para a linha microstrip $l=45mm$ (TX1-RX1– sobre o prepreg - área 1 da placa).	86
Figura 37 - Resultado TDR para a linha microstrip $l=16,86mm$ (TX6 –RX6– sobre o prepreg- área 1 da placa).	86
Figura 38 – Verificação da equivalência entre S_{11} e S_{22} através de ρ_1 e ρ_2 respectivamente, para a linha microstrip sobre prepreg.	87

Figura 39 – Medida da BER e da perda de inserção com o analisador de redes vetorial, $S_{21}(dB)$, entre 100MHz e 12GHz, para as linhas microstrip ($H_p=0,16mm$) sobre o prepreg da área 1 da placa, com curvas de 90° inclusive. Os conectores TX1-RX1, TX2-RX2, TX3-RX3 e TX6- RX6 foram montados de acordo com a figura 34 (B). 88

Figura 40 – Medida do TDR para a linhas Microstrip ($H_p=0,16mm$) com 1 curva de 90 (TX2-RX2) sobre prepreg, área 1 da PCB. Com os conectores todos montados de acordo com a figura 34 (B). 89

Figura 41 - Medida do TDR para a linhas Microstrip ($H_p=0,16mm$) com 2 curvas de 90 (TX3-RX3) sobre prepreg, área 1 da PCB. Com os conectores todos montados de acordo com a figura 34 (B). 89

Figura 42 – Medida da BER e da a perda de retorno com o analisador de redes vetorial $S_{11}(dB)$ entre 100MHz a 12GHz, das linhas microstrip ($H_p=0,16mm$) sobre o prepreg da area1, com curva de 90° inclusive. Os conectores TX1-RX1, TX2-RX2, TX3-RX3 e TX6-RX6 foram montados de acordo com a figura 34 (B). 90

Figura 43 – Medida com o analisador de rede vetorial, para a perda de retorno $S_{11}(dB)$ de 100MHz a 12GHz, das configurações com os microresistores SMD de carga final das linhas microstrip ($H_p=0,16mm$) sobre o prepreg da área 1 da placa, com curva de 90° inclusive. Os conectores TX1c, TX2c, TX3c e TX6c foram montados de acordo com a figura 34 (B). 91

Figura 44 - Medidas da BER e perda de inserção com analisador de redes vetorial, $S_{21}(dB)$ entre 100MHz e 12GHz, para as linhas microstrip com H variando de 1 a 5 camadas dielétricas, respectivamente áreas 1,3,7,8 e 9 da placa, com todos os conectores (TX6-RX6; TX7-RX7; TX8-RX8; TX9-RX9; TX10-RX10) montados de acordo com a figura 34

(B). $P=\text{preg}=\text{H}_p=0,16\text{mm}$; $C=\text{FR4(Core)}=\text{H}_{\text{FR4a}}=0,25\text{mm}$ e $C=\text{FR4(Core)}=\text{H}_{\text{FR4b}}=0,35\text{mm}$. 92

Figura 45 – Medida do TDR para as linhas microstrip com H variando de 1 a 5 camadas dielétricas, respectivamente áreas 1,3,7,8 e 9 da placa, com todos os conectores montados de acordo com a figura 34 (B). TX6-RX6 ($H=0,16\text{mm}$); TX7-RX7 ($H=0,41\text{mm}$); TX8-RX8 ($H=0,57\text{mm}$); TX9-RX9 ($H=0,92\text{mm}$); TX10-RX10 ($H=1,08$). 93

Figura 46 - Medida da BER e perda de retorno com o analisador de rede vetorial, $S_{11}(dB)$ entre 100MHz a 12GHz, das configurações de linhas microstrip com H variando de 1 a 5 camadas dielétricas, respectivamente áreas 1, 3, 7, 8 e 9 da placa com todos os conectores (TX6-RX6; TX7-RX7; TX8-RX8; TX9-RX9; TX10-RX10) montados de acordo com a figura 34 (B). $P=\text{preg}=\text{H}_p=0,16\text{mm}$; $C=\text{FR4(Core)}=\text{H}_{\text{FR4a}}=0,25\text{mm}$ e $C=\text{FR4(Core)}=\text{H}_{\text{FR4b}}=0,35\text{mm}$. 94

Figura 47 - Medida com o analisador de rede vetorial, para a perda de retorno $S_{11}(dB)$ entre 100MHz a 12GHz, das configurações de linhas microstrip com H variando de 1 a 5 camadas dielétricas, respectivamente áreas 1, 3, 7, 8 e 9 da placa com microresistores SMD de terminação nas linhas. todos os conectores (TX6c; TX7c; TX8c; TX9c; TX10c) foram montados de acordo com a figura 34 (B). $P=\text{preg}=\text{H}_p=0,16\text{mm}$; $C=\text{FR4(Core)}=\text{H}_{\text{FR4a}}=0,25\text{mm}$ e $C=\text{FR4(Core)}=\text{H}_{\text{FR4b}}=0,35\text{mm}$. 95

Figura 48 - Medida da BER e perda de inserção com analisador de redes vetorial, $S_{21}(dB)$ entre 100MHz e 12GHz, para as configurações com Vias, linhas microstrip (H_p) e linhas StripLine com H variando de 2 a 4 camadas dielétricas, representadas nas figuras 25 e 27 do capítulo 4, respectivamente áreas 4,5 e 6 da placa. Todos os conectores (TX11-RX11; TX12-RX12; TX13-RX13; TX14-RX14; TX15-RX15; TX16-RX16) montados de acordo com a figura 34 (B). $P=\text{preg}=\text{H}_p=0,16\text{mm}$; $C=\text{FR4(Core)}=\text{H}_{\text{FR4a}}=0,25\text{mm}$ e $C=\text{FR4(Core)}=\text{H}_{\text{FR4b}}=0,35\text{mm}$. 96

Figura 49 - Medida do TDR para as configurações com Vias, linhas microstrip (H_p) e linhas StripLine com H variando de 2 a 4 camadas dielétricas, respectivamente áreas 4,5 e 6 da placa, com todos os conectores (TX11-RX11; TX12-RX12; TX13-RX13 ; TX14-RX14 ; TX15-RX15; TX16-RX16) montados de acordo com a figura 34 (B). 97

Figura 50 – Medida da BER e perda de retorno como o analisador de redes vetorial, $S_{11}(dB)$ entre 100MHz e 12GHz, para as configurações com Vias, linhas microstrip ($H_p=0,16mm$) e linhas StripLine com H variando de 2 a 4 camadas dielétricas, respectivamente áreas 4,5 e 6 da placa. Todos os conectores (TX11-RX11; TX12-RX12; TX13-RX13 ; TX14-RX14 ; TX15-RX15; TX16-RX16) montados de acordo com a figura 34(B). $P=prepreg=H_p=0,16mm$; $C=FR4(Core)=H_{FR4a}=0,25mm$ e $C=FR4(Core)=H_{FR4b}=0,35mm$. 98

Figura 51 - Medida da BER e $S_{21}(dB)$, entre 100MHz e 12GHz, para as linhas com capacitor SMD de alta frequência, respectivamente áreas 1 e 2 da placa , com todos os conectores (TX1-RX1; TX4-RX4; TX5-RX5) montados de acordo com a figura 34 (B). 99

Figura 52 - Medida da BER e da perda de retorno $S_{11}(dB)$, entre 100MHz e 12GHz, para as linhas com capacitor SMD de alta frequência, respectivamente áreas 1 e 2 da placa , com todos os conectores (TX1-RX1; TX4-RX4; TX5-RX5) montados de acordo com a figura 34 (B). 100

Figura 53 – configuração de conexões inter-chip para placas PCBs de altas taxas de transmissão. 102

Lista de tabelas

Tabela 1- laminados utilizados para a PCBs em 1GHz e 10GHz [1] [5] [11].	34
Tabela 2 – Laminados condutores utilizados em PCBs [14]	36
Tabela 3 - Dimensões aproximadas dos microcapacitores e microresistores em alta frequência que determinam o footprint.	40
Tabela 4 – FR4 – LP5200/LP5300 – prepreg LP5300P	45
Tabela 5 – Opções A, B ou C de escolha dos valores de H_p , H_{FR4} e H_{total} referentes ao resultado de W_2 (mm) apresentado no gráfico da figura 16.	48
Tabela 6 - Opções A, B ou C de escolha dos valores de H_p , H_{FR4} e H_{total} referentes ao resultado de W_3 (mm) apresentado no gráfico da figura 18.	50
Tabela 7 –Opções A, B ou C de escolha dos valores de H_p (mm), H_{FR4} (mm) e H_{tot} (mm) referentes ao resultado de W_{4a} (mm), apresentado no gráfico da figura 20a.	53
Tabela 8 - Opções A, B ou C de escolha dos valores de H_p (mm), H_{FR4} (mm) e H_{tot} (mm) referentes ao resultado de W_{4b} (mm), apresentado no gráfico da figura 20b.	54
Tabela 9 – Resultado do dimensionamento de uma linha microstrip de impedância característica de 50 Ohm com $H=H_p=0,16$ mm , $t=0,035$ mm, tangente de perdas 0,018 e constante dielétrica 4,3, para as frequências de 1GHz e 10GHz, utilizando a ferramenta de	

calculo TXline 60

Tabela 10 - Resultado do dimensionamento de uma linha microstrip l=45mm com a ferramenta TXline com $W=0,285$, $H_p=0,16$ mm , $t=0,035$ mm, tangente de perdas 0,018 e constante dielétrica 4,3 para as frequências de 1GHz e 10GHz. 61

Tabela 11 – Medida da BER de acordo com a estrutura de bancada apresentada na figura 32 da sessão 5.3. Todas as configurações TXk e RXk da tabela estão representadas nas figuras 25 e 27 do capitulo 4 e todos os conectores foram montados de acordo com a figura 34(B). 101